

Akuisisi Data Sederhana untuk Radar FM-CW

Purwoko Adhi

*Pusat Penelitian Elektronika dan Telekomunikasi LIPI
Kampus LIPI Gd.20 Lt.4 Jl. Sangkuriang Bandung 40135 Indonesia
Telp. +62 22 2504661 Fax. +62 22 2504659
purwoko@ppet.lipi.go.id*

Abstract

This paper describes the development of a simple data acquisition modul for FM-CW radar. The modul is design to be integrated in a through wall radar system using UWB and FM-CW technologies for life detector application. It uses a CY7C68013A, an EZ-USB family IC, from Cypress Semiconductor which is operated in slave FIFO mode. A Max II CPLD IC EPM1270T144 from Altera is used as a FIFO master. While for ADC, an AD9235 from Analog Devices is used. The modul is used to convert analog beat signal into digital data at a sampling rate of 1Msample/s and a resolution of 12 bit per sample.

Keywords: radar, FM-CW, ADC, USB, data acquisition

Abstrak

Tulisan ini membahas tentang pengembangan sebuah modul akuisisi data sederhana untuk radar FM-CW. Modul dirancang untuk diintegrasikan dalam sebuah sistem through wall radar dengan teknologi UWB FM-CW untuk aplikasi life detector. Modul menggunakan IC CY7C68013A dari keluarga EZ-USB dari Cypress Semiconductor yang dioperasikan dalam mode slave FIFO. Untuk master FIFO digunakan IC CPLD Max II EPM1270T144 dari Altera. Sedangkan untuk ADC digunakan AD9235 dari Analog Devices. Modul digunakan untuk mengkonversi sinyal beat analog menjadi data digital dengan sampling rate 1Msample/s dan resolusi 12 bit per sample.

Kata kunci: radar, FM-CW, ADC, USB, akuisisi data

1. Pendahuluan

Sebagai Negara kepulauan yang terletak di pertemuan antara beberapa lempeng bumi, Indonesia merupakan negara rawan gempa. Gempa yang berkekuatan cukup besar berpotensi menyebabkan runtuhnya gedung-gedung bertingkat. Dalam banyak kasus runtuhnya gedung bertingkat, korban, baik meninggal maupun hidup, terjebak dalam reruntuhan gedung. Upaya penyelamatan harus dilakukan secara cepat dan hati-hati untuk memastikan korban hidup dapat diselamatkan.

Tanpa informasi yang akurat mengenai keberadaan korban hidup di balik reruntuhan, penyelamatan memerlukan waktu yang lama dan mengurangi kemungkinan korban hidup dapat diselamatkan. Berbagai cara untuk mendeteksi keberadaan korban hidup dibalik reruntuhan banyak digunakan. Di antaranya dengan menggunakan anjing pelacak, menggunakan inframerah untuk mendeteksi panas tubuh, menggunakan sensor gas untuk mendeteksi aktifitas pernafasan, menggunakan sensor suara, menggunakan kamera yang bisa melewati celah-celah sempit jika ada, dan sebagainya.

Untuk melengkapi informasi yang diperlukan dalam rangka pencarian korban hidup dibalik reruntuhan, through-wall radar dapat digunakan. Keberadaan korban hidup bisa dideteksi dari gerakan anggota tubuhnya, gerakan nafasnya, atau detak jantungnya menggunakan through-wall radar yang mampu mendeteksi objek di balik tembok, beton, atau material lain.

Pengembangan through-wall radar bertujuan untuk menjawab kebutuhan akan perangkat life detector. Through-wall radar menggunakan prinsip radar Ultra WideBand (UWB) yang banyak digunakan untuk ground penetrating radar (GPR). Salah satu tipe radar UWB adalah radar Frequency Modulation-Continuous Wave (FM-CW). Radar UWB FM-CW menggunakan prinsip yang sama dengan Radar FM-CW yang digunakan untuk radar permukaan atau radar udara. Perbedaannya, Radar UWB FM-CW menggunakan frekuensi yang lebih rendah namun memiliki bandwidth sinyal yang jauh lebih lebar.

Salah satu komponen dari sistem Radar FM-CW adalah modul data akuisisi. Modul ini berfungsi mengubah sinyal beat menjadi data digital yang siap diolah oleh komputer (PC). Pengiriman data dari modul data akuisisi ke PC bisa dilakukan dengan berbagai cara, seperti melalui PCI, USB, dan sebagainya. Untuk alasan kepraktisan USB dipilih sebagai jalur data dari modul ke PC.

Tulisan ini membahas pengembangan data akuisisi sederhana berbasis IC ADC dan IC USB controller, diawali dengan pembahasan posisi akuisisi data dalam sistem Radar FM-CW, pembahasan singkat mengenai USB, kemudian dilanjutkan dengan perancangan dan implementasi rangkaian. Hasil pengukuran dan kesimpulan akan menutup tulisan ini.

2. Tinjauan Pustaka

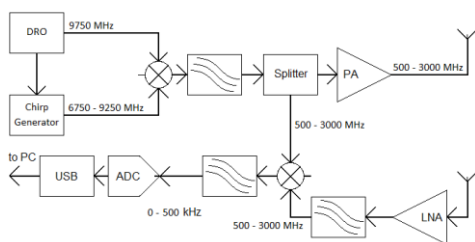
2.1. Akuisisi Data dalam Sistem Radar FM-CW

Secara sederhana sebuah sistem Radar FM-CW dapat digambarkan dengan diagram blok pada Gambar 1. Sistem Radar bekerja pada frekuensi antara 500 dan 3000MHz.

Sebuah DRO yang menghasilkan sinyal dengan frekuensi 9750MHz digunakan sebagai pembangkit sinyal utama. Sinyal ini digunakan sebagai referensi oleh pembangkit chirp yang diprogram untuk membangkitkan chirp dengan frekuensi antara 6750 dan 9250MHz. Sinyal chirp ini kemudian di-mix dengan sinyal output DRO dan difilter dengan sebuah lowpass filter (LPF), untuk menghasilkan sinyal chirp dengan frekuensi antara 500 dan 3000MHz.

Sebuah splitter digunakan untuk membagi sinyal menjadi dua output. Sinyal dari output pertama diperkuat dengan power amplifier (PA) dan dipancarkan melalui antena pemancar. Sinyal ini akan dipantulkan kembali oleh objek-objek yang ada di depan antena radar. Sinyal pantulan diterima oleh antena penerima, untuk selanjutnya diperkuat dengan sebuah low noise amplifier (LNA) dan difilter dengan sebuah bandpass filter (BPF). Sinyal output dari BPF di-mix dengan sinyal dari output kedua dari splitter dan difilter dengan sebuah LPF 500kHz. Hasilnya adalah sinyal beat dengan frekuensi antara 0 dan 500kHz.

Sinyal beat mengandung informasi mengenai objek-objek yang ada di depan radar. Agar dapat mengolah sinyal beat dan mengambil informasi yang ada di dalamnya secara digital menggunakan PC, sinyal beat harus diubah menjadi data digital menggunakan analog to digital converter (ADC). Data digital ini kemudian dikirim ke PC melalui interface USB.



Gambar 1. Diagram Blok Radar UWB FM-CW

Mengikuti spesifikasi radar yang telah ditentukan, sinyal beat memiliki frekuensi antara 0 dan 500kHz. Menurut teori Nyquist, konversi sinyal ini ke data digital cukup dilakukan dengan sampling rate 1Msample/s. Sampling rate sebesar ini tidak terlalu tinggi untuk ukuran ADC yang ada di pasaran saat ini. Namun hal lain yang perlu diperhatikan adalah resolusi dari ADC. Dengan resolusi 16 bit per sampel, sample rate 1 Msample/s berarti bitrate data sebesar 16 Mbit/s.

2.2. USB dan EZ-USB FX2LP

USB adalah singkatan dari Universal Serial Bus. Seperti sebuah mobil atau perangkat yang didisain dengan baik, kesederhanaan luar sebuah perifer USB menyembunyikan kompleksitas internal. Banyak hal terjadi di dalam divais USB.

Divais USB bisa dipasang kapan saja, bahkan ketika PC sedang on.

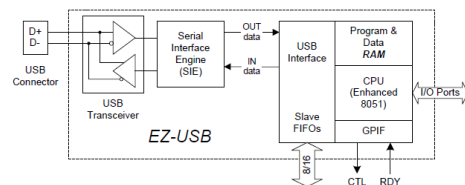
Ketika PC mendeteksi sebuah divais USB dipasang, PC secara otomatis menginterogasi divais untuk mengetahui kemampuan dan kebutuhannya. Dari informasi ini, PC secara otomatis me-load driver ke OS. Ketika divais dilepas, OS secara otomatis me-log-off dan meng-unload drivernya.

Divais USB tidak menggunakan DIP switch, jumper, atau program konfigurasi. Tidak pernah ada konflik IRQ, DMA, memory, atau I/O dengan sebuah divais USB.

USB expansion hub membuat bus tersedia secara simultan untuk lusinan divais. USB cukup cepat untuk printer, hard disk drive, CD audio, dan scanner.

USB men-suport tiga kecepatan: Low-Speed (1.5 Mbits/sec), untuk mouse, keyboard, dan joystick, Full-Speed (12 Mbits/sec), untuk alat seperti modem, speaker, dan scanners, High-Speed (480 Mbits/sec), untuk alat seperti hard disk, CD-ROM, kamera video, dan scanner resolusi tinggi.

EZ-USB adalah keluarga IC USB controller dari Cypress Semiconductor. Keluarga EZ-USB menawarkan perifer USB 2.0 dalam chip tunggal yang arsitekturnya telah dirancang untuk mengakomodasi kecepatan data yang lebih yang ditawarkan oleh USB 2.0. Divais EZ-USB FX2LP (CY7C68013A/14A/15A/16A) mendukung baik mode full-speed maupun high-speed.



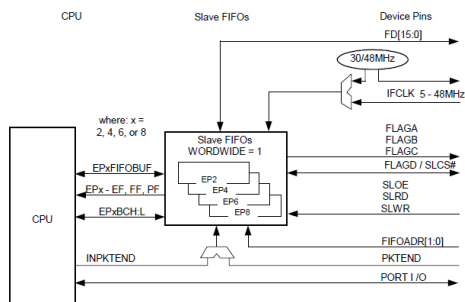
Gambar 2. Diagram Blok EZ-USB

EZ-USB membungkus semua kepintaran yang dibutuhkan oleh sebuah interface perifer USB ke dalam sebuah rangkaian terpadu yang kompak.

Sebagaimana digambarkan pada Gambar 2, sebuah transceiver USB terpadu menghubungkan ke bus USB pins D+ and D-. Sebuah Serial Interface Engine (SIE) mendekode dan menkode data serial dan melakukan error correction, bit stuffing, dan tugas lain pada level signaling yang dibutuhkan oleh USB. SIE mentransfer data paralel ke dan dari intarface USB.

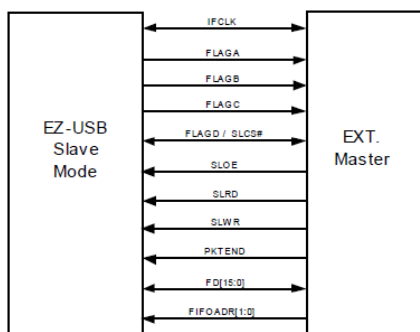
Data USB masuk ke dan keluar dari EZ-USB melalui endpoint buffer. Logika eksternal biasanya membaca dan menulis data ini melalui hubungan langsung ke FIFO endpoint tanpa campur tangan CPU EZ-USB. Hal ini penting khususnya untuk FX2LP, yang bisa beroperasi pada high-speed dengan kecepatan transfer 480 Mbits/sec.

Meskipun beberapa divais berbasis EZ-USB bisa menggunakan CPU EZ-USB untuk mengolah data USB secara langsung, sebagian besar akan menggunakan EZ-USB hanya sebagai saluran antara USB dan rangkaian logika pengolah data eksternal (seperti ASIC atau DSP, atau IDE controller pada hard disk).



Gambar 3. Diagram Blok FIFO

Dalam divais-divais dengan rangkaian logika pengolah data eksternal, data USB mengalir antara host dan rangkaian logika eksternal – biasanya tanpa campur tangan CPU EZ-USB – melalui FIFO endpoint internal dari EZ-USB. Bagi rangkaian logika eksternal, FIFO endpoint ini seperti kebanyakan FIFO lain; mereka menyediakan timing signal, handshake line (full, empty, programmable-level), read strobe dan write strobe, output enable, dan sebagainya.



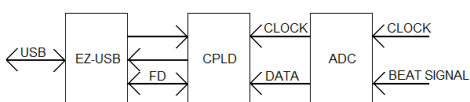
Gambar 4. Interface FIFO

Tentu saja sinyal FIFO ini harus dikendalikan oleh master FIFO. General Programmable Interface (GPIF) dari EZ-USB bisa berperan sebagai master internal ketika EZ-USB dihubungkan dengan rangkaian logika eksternal yang tidak memiliki interface FIFO standar, atau FIFO bisa dikendalikan oleh master eksternal. Ketika FIFO dikendalikan oleh sebuah master eksternal, EZ-USB disebut dalam mode “Slave FIFO”. Mode inilah yang akan digunakan dalam aplikasi yang dikembangkan. Gambar 4 menunjukkan interface slave FIFO.

Untuk detail lengkap mengenai interface – baik hardware maupun software – antara FIFO slave dari EZ-USB dan master eksternal bisa dilihat di [4].

3. Perancangan dan Implementasi Rangkaian

Modul yang dikembangkan dapat digambarkan secara sederhana dengan diagram blok pada Gambar 5.



Gambar 5. Diagram Blok Modul Akuisisi Data

Rangkaian terdiri dari sebuah EZ-USB yang dioperasikan dengan mode slave FIFO, sebuah CPLD yang diprogram untuk berfungsi sebagai master eksternal, dan sebuah ADC. ADC mengkonversi sinyal beat analog dari sistem radar menggunakan sampling clock yang juga dari sistem. CPLD meneruskan data dan

clock tersebut dan melengkapinya dengan sinyal-sinyal yang diperlukan oleh interface FIFO EZ-USB, serta menerima dan merespons sinyal dari interface FIFO jika diperlukan.

Untuk alasan kepraktisan, implementasi rangkaian menggunakan sebuah board di atas mana sudah terpasang sebuah IC USB CY7C68013A dan sebuah IC CPLD Max II EPM1270T144C5N dari Altera. Di atas board juga terdapat sebuah osilator kristal 24MHz untuk EZ-USB dan sebuah osilator 48MHz untuk CPLD. Sebuah IC serial EEPROM 24LC64 terhubung dengan pin SCL dan SDA dari EZ-USB. Akses ke EZ-USB hanya tersedia melalui soket USB tipe B dan melalui CPLD. Kecuali beberapa pin CPLD yang terhubung ke EZ-USB, hubungan ke pin-pin sisanya tersedia pada konektor header.

Tabel 1. Hubungan EPM1270 - CY7C68013

EPM1270 T144	CY7C68013A	
PIN	PIN	SIGNAL
37	9	SLWR
38	8	SLRD
39	3	PD7/FD15
40	2	PD6/FD14
41	1	PD5/FD13
42	56	PD4/FD12
43	55	PD3/FD11
44	54	PD2 /FD10
45	53	PD1 /FD9
48	52	PD0 /FD8
49	47	PA7/ SLCS#
50	46	PA6/ PKTEND
51	45	PA5/ FIFOADR1
52	44	PA4/FIFOADR0
53	43	PA3/*WU2
55	42	PA2/*SLOE
57	41	PA1/INT1#
58	40	PA0/INT0#
59	38	CTL2/*FLAGC
60	37	CTL1/*FLAGB
61	36	CTL0/*FLAGA
62	32	PB7/FD7
63	31	PB6/FD6
66	30	PB5/FD5
67	29	PB4/FD4
68	29	PB3/FD3
69	27	PB2/FD2
70	26	PB1/FD1
71	25	PB0/FD0
72	20	IFCLK

Untuk ADC digunakan sebuah IC AD9235 dari Analog Devices [3], yang sudah terpasang di atas sebuah evaluation board bersama-sama dengan beberapa komponen pendukung, seperti buffer untuk data dan clock. Data tersedia pada konektor header, bersama-sama dengan clock dan bit overrange.

Karena sifat CPLD yang programmable, data, clock, dan bit overrange dari ADC bisa dihubungkan ke pin CPLD mana saja yang tersedia pada konektor header.

Tabel 2 menunjukkan hubungan antara ADC dengan CPLD melalui evaluation board ADC.

Tabel 2. Hubungan AD9235 - EPM1270

EPM1270T144		ADC Ev Header		AD9235	
Pin	Pin	Signal	Pin	Signal	
-	34	D0	5	DNC	
-	32	D1	6	DNC	
3	30	D2	7	D0	
4	28	D3	8	D1	
5	26	D4	9	D2	
6	24	D5	10	D3	
7	22	D6	11	D4	
8	20	D7	12	D5	
11	18	D8	13	D6	
12	16	D9	14	D7	
13	14	D10	17	D8	
14	12	D11	18	D9	
15	10	D12	19	D10	
16	8	D13	20	D11	
2	36	DR	21	OTR	
1	4	CLK	-	CLK	

4. Pemrograman CPLD, EZ-USB, dan PC Host.

CPLD diprogram sebagai master eksternal untuk slave FIFO USB. CPLD meneruskan data dan clock dari ADC ke interface FIFO dari EZ-USB. Kode program dapat dilihat pada Listing 1.

```

module wr_fifo(
    clk, data_in,
    u_ifclk, data_out,
    u_slwr, u_slrd, u_sloe,
    u_addr0, u_addr1, u_flagb );
//input :
input clk; //input clk dari ADC;
input u_flagb;
input [15:0] data_in; //data dari ADC;
//USB interface :
output u_ifclk,
        u_slwr, //-->u_slwr#;
        u_slrd, //-->u_slrd#;
        u_sloe, //-->u_sloe#;
        u_addr0, u_addr1;
//output
output [15:0] data_out;
//fifo_db[15:0];
reg u_slwr, //-->u_slwr#;
    u_slrd, //-->u_slrd#;
    u_sloe; //-->u_sloe#;
reg [15:0] data_out; //-->fifo_db[15:0];
wire u_ifclk;
//internal registers :
reg [1:0] STATE;
parameter IDLE='H0,
           WRITE_READY='H1,
           WRITE='H2;

always @(negedge clk)
begin

```

```

if(!rst)
begin
data_out<='hffff;
u_slwr<='b1;
u_slrd<='b1;
u_sloe<='b1;
STATE<=IDLE;
end
else
begin
case (STATE)
IDLE:
begin
STATE<=WRITE;
end
WRITE:
begin
if(u_flagb)
begin
u_slwr<='b0;
data_out<=data_in;
STATE<=WRITE;
end
else
begin
u_slwr<='b1;
STATE<=IDLE;
end
end
default:
STATE<=IDLE;
endcase
end
end
end

```

```

Reset_Delay u1(.iCLK(clk),
               .oRESET(rst));

assign u_addr0 = 'b0;
assign u_addr1 = 'b1;
assign u_ifclk = ~clk;

```

endmodule

Listing 1 Pemrograman CPLD

EZ-USB diprogram dengan firmware slavefifo yang tersedia sebagai contoh pada software development kit (SDK) EZ-USB. Firmware ini memprogram EZ-USB sebagai slave FIFO dengan konfigurasi sebagai berikut.

- EP2 512 2x BULK OUT - 8-bit async AUTO mode
- EP4 512 2x BULK IN - 8-bit async AUTO mode
- EP6 512 2x BULK OUT - 8-bit async AUTO mode
- EP8 512 2x BULK IN - 8-bit async AUTO mode
- FIFO strobes and flags are all active low
- FLAGA - fixed EP2EF
- FLAGB - fixed EP4FF
- FLAGC - fixed EP6EF
- FLAGD - fixed EP8FF
- SLCS isn't being used
- FX2 can't signal zerolen OUT token to the master

Untuk driver USB digunakan driver standar dari EZ-USB yaitu CyUSB.sys. Akses ke EZ-USB dari PC dilakukan dengan sebuah program yang ditulis dengan C++. Program ini menggunakan class CyUSB untuk keperluan akses ke driver CyUSB, sehingga perlu ditambahkan referensi ke CyUSB class (CyUSB.dll) pada project property dan ditambahkan namespace CyUSB dalam kode program berikut.

```
using namespace CyUSB;
```

Perlu didefinisikan beberapa variabel, seperti pada Listing 2.

```
private:
    CyUSBDevice ^ loopDevice;
    USBDeviceList ^ usbDevices;
    CyBulkEndPoint ^ inEndpoint;
    CyBulkEndPoint ^ outEndpoint;
    Thread ^ tXfers;
    bool bRunning;
    int value;
    long outCount, inCount;
    array<Byte,1> ^ outData;
    array<Byte,1> ^ inData;
```

Listing 2 Deklarasi variabel

Variabel loopDevice harus diset pada saat USB dihubungkan ke PC. Untuk itu dibuat fungsi setDevice yang dipanggil setiap ada event DeviceAttached dan DeviceRemoved dari divais CyUSB, seperti pada Listing 3.

```
public:
    void setDevice()
    {
        loopDevice =
        (CyUSBDevice^)usbDevices[0x1967,
        0x0911];
        StartBtn->Enabled = (loopDevice !=
        nullptr);
        if (loopDevice != nullptr){
            Text = loopDevice->FriendlyName;
            SetEndPoint();
        }
        else
            Text = "Through Wall Radar - no
            hardware";
    }
```

Listing 3 Set variabel loopDevice

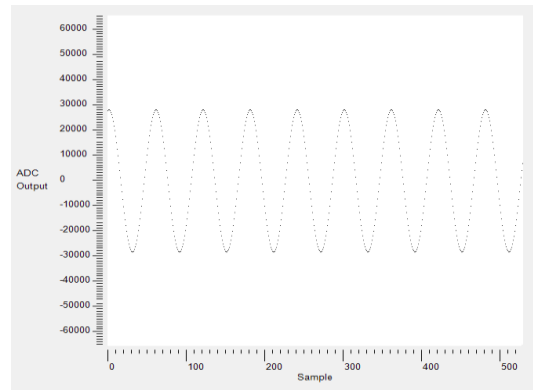
Transfer data sesungguhnya dilakukan oleh sebuah thread yang didefinisikan pada Listing 4.

```
public:
void TransfersThread()
{
    int xferLen = XFERSIZE;
    bool bResult = true;
    // Loop stops if IN transfer fails
    SetOutputData();
    xferLen = XFERSIZE;
    for (; bRunning && bResult &&
    inCount<1024*1024; )
    {
        bResult = inEndpoint->
        XferData(inData, xferLen);
        inData->
        CopyTo(radarData,inCount);
        inCount += xferLen;
    }
    bRunning = false;
}
```

Listing 4 Transfer data

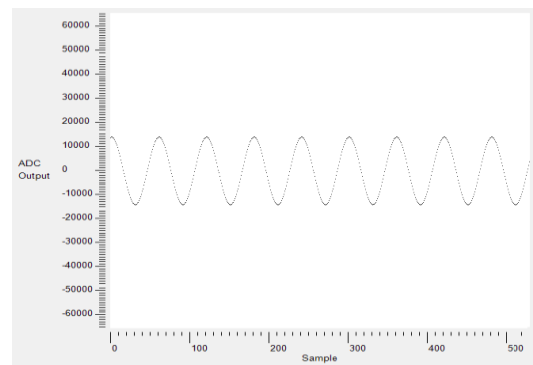
5. Pengujian

Modul yang dikembangkan diuji untuk mengakuisisi sinyal-sinyal dengan berbagai frekuensi dan amplitudo pada sampling rate sekitar 6 Msamples/s. Data digital diplot menggunakan sebuah fungsi plot sederhana yang ditambahkan pada program yang digunakan untuk mengakses modul melalui USB.



Gambar 6. Plot sinyal 100kHz 2000mVpp.

Akuisisi dengan sampling rate di bawah 5 Msamples/s tidak bisa dilakukan, karena IFCLK pada interface FIFO memerlukan sinyal dengan frekuensi antara 5 dan 48 MHz, apabila menggunakan sumber clock eksternal [4]. Untuk mendapatkan data dengan sampling rate 1Msamples/s harus dilakukan oversampling diikuti dengan decimation.



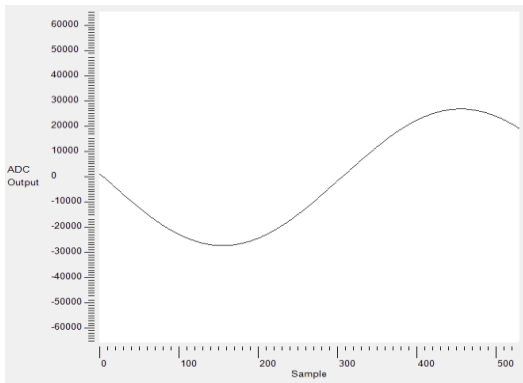
Gambar 7. Plot sinyal 100kHz 1000mVpp.

ADC difungsikan dengan mode output digital twos complement, konfigurasi input analog single ended, dan referensi internal 1V. Pemilihan mode output digital dan referensi dapat dilakukan dengan memindahkan jumper-jumper yang telah disediakan di atas evaluation board. Namun pemilihan konfigurasi input analog harus dilakukan dengan memindahkan dan menambahkan beberapa resistor dan kapasitor. Konfigurasi input analog asli dari pabrik adalah diferensial dengan kopling transformator. Konfigurasi ini tidak cocok untuk aplikasi Radar FM-CW.

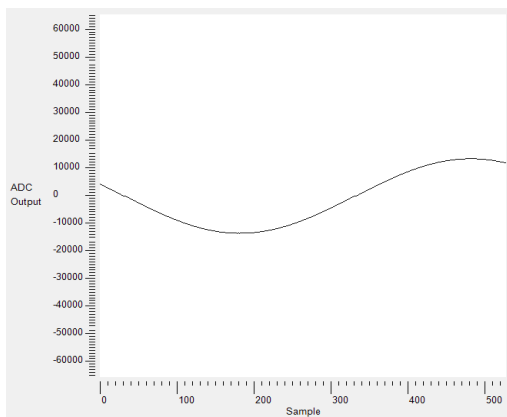
Gambar 6 dan 7 menunjukkan plot sinyal-sinyal sinusoidal dengan frekuensi 100kHz dan amplitudo masing-masing 2000mVpp dan 1000mVpp, yang telah didigitalkan menggunakan modul yang dikembangkan. Bentuk sinyal yang masih sempurna membuktikan bahwa modul akuisisi data bekerja dengan baik.

Gambar 8 dan 9 menunjukkan plot dari sinyal-sinyal sinusoidal dengan frekuensi 10kHz dan amplitudo masing-masing 2000mVpp dan 1000mVpp. Pada frekuensi tersebut bentuk sinyal masih cukup baik, namun dapat diamati beberapa patahan pada kurva, yang

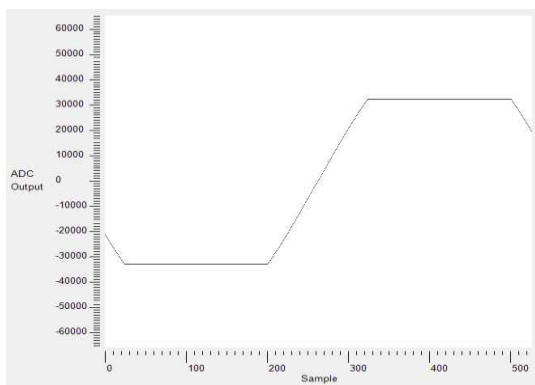
kemungkinan disebabkan oleh hilangnya beberapa sampel.



Gambar 8. Plot sinyal 10kHz 2000mVpp.



Gambar 9. Plot sinyal 10kHz 1000mVpp.



Gambar 10. Plot sinyal 10kHz 4000mVpp.

Gambar 10 menunjukkan plot dari sebuah sinyal sinusoidal dengan frekuensi 10kHz dan amplitudo 4000mVpp. Kliping pada level di bawah -1000mV dan di atas 1000mV menunjukkan bahwa ADC bekerja pada rentang tegangan input antara -1000mV dan +1000mV, sesuai dengan tegangan referensi yang digunakan. Tegangan di bawah dan di atas rentang tersebut masing-masing akan akan menghasilkan nilai minimum dan maksimum pada output data digital serta mengaktifkan sinyal output overrange dari AD9235.

6. Kesimpulan

Sebuah modul akuisisi data sederhana untuk sistem radar FM-CW telah dikembangkan. Modul menggunakan IC CY7C68013A dari keluarga EZ-USB dari Cypress Semiconductor yang difungsikan sebagai slave FIFO. Untuk master FIFO digunakan IC CPLD Max II EPM1270T144 dari Altera. Sedangkan untuk ADC digunakan AD9235 dari Analog Device.

Modul bekerja dengan baik pada daerah frekuensi kerja yang diinginkan. Namun perlu dipelajari lebih jauh kemungkinan hilangnya beberapa sampel yang diindikasikan oleh beberapa patahan pada kurva plot yang bisa diamati.

7. Daftar Pustaka

- [1] Mahafza, Bassem R., Radar Systems Analysis and Design Using MATLAB, 2nd Edition, Chapman and Hall/CRC, Boca Raton, 2005.
- [2] Miller, Gary M. and Beasley, Jeffrey S., Modern Electronic Communication, 7th Edition, Prentice Hall, 2002.
- [3] 12-Bit, 20/40/65 MSPS 3V A/D Converter, AD9235 Datasheet, Analog Devices, Norwood, MA, USA, 2004
- [4] EZ-USB Technical Reference Manual, Cypress Semiconductor, San Jose, CA, USA, 2005.
- [5] EZ-USB FX2LP™ USB Microcontroller, Cypress Semiconductor, San Jose, CA, USA, 2005.
- [6] EZ-USB Getting Started Development Kit Manual, Rev 1.0, Cypress Semiconductor, San Jose, CA, USA, 2005.
- [7] CyUsb.sys Programmer's Reference, Cypress Semiconductor, San Jose, CA, USA, 2003.
- [8] CyAPI Programmer's Reference, Cypress Semiconductor, San Jose, CA, USA, 2003.
- [9] USB Console Users' Guide, Cypress Semiconductor, San Jose, CA, USA, 2003.
- [10] MAX II Device Handbook, Altera Corporation, San Jose, CA, USA, 2009.