

# Simulasi Rancangan Gerbang Logika 3 Wide - 3 Input AND-Or-Inverter teknologi ECL

Lily M. Sikome, Mochammad Rif'an, Onny Setyawati dan Wijono

**Abstrak**— Paper ini berisi simulasi rancangan rangkaian 3 Wide - 3 Input AOI teknologi ECL. Melalui simulasi menggunakan PSPICE diperoleh nilai karakteristik tegangan, karakteristik arus, *propagation delay time* sebesar 11,672 ns dan disipasi daya sebesar 8,405 mW dengan beban 50 pF. Parameter tersebut dapat memenuhi kebutuhan akan IC digital dengan disipasi daya rendah dan memiliki waktu propagasi lebih cepat dibandingkan IC serupa dari keluarga CMOS.

**Kata Kunci**—emitter coupled logic, And-Or-Inverter.

## I. PENDAHULUAN

PERKEMBANGAN teknologi elektronika dimulai dengan tabung vakum sebagai komponen aktif sebelum digantikan oleh transistor semikonduktor. Perkembangan teknologi mikroelektronik khususnya monolitik memungkinkan munculnya rangkaian yang terdiri dari komponen aktif dan komponen pasif dalam satu *chip*. Berdasarkan jumlah komponen transistor yang digunakan, rangkaian terpadu diklasifikasikan menjadi SSI (*small scale integrated*), MSI (*Medium Scale integrated*), LSI (*large scale integrated*) dan VLSI (*very large scale integrated*). Berdasarkan penggunaannya terdapat dua macam IC yaitu IC analog dan IC digital. IC digital dapat dibuat menggunakan teknologi MOS dan teknologi bipolar.

TTL (*transistor-transistor logic*) adalah konfigurasi yang paling umum digunakan pada teknologi transistor bipolar. Selain TTL transistor bipolar juga dapat dioperasikan menggunakan teknologi ECL (*emitter coupled logic*) yang memiliki kecepatan lebih besar. Kecepatan ECL disebabkan oleh beberapa hal. Perbedaan utama antara ECL dan TTL adalah TTL menggunakan transistor bipolar sebagai saklar tegangan sehingga terdapat kondisi saturasi dan *cutoff*, sedangkan ECL menggunakan transistor bipolar sebagai saklar arus, sehingga tidak terdapat kondisi saturasi. Pendekatan ini menghindarkan rangkaian dari efek kapasitif dan delay karena saturasi. Selain itu ECL memiliki ayunan logika yang kecil (kurang dari 1 V) sehingga hanya memerlukan *rise time* dan *fall time* yang singkat[1].

IC dengan teknologi bipolar umumnya dikenal

L.M.Sikome dan mahasiswa Program Pasca Sarjana Teknik Elektro Universitas Brawijaya Malang

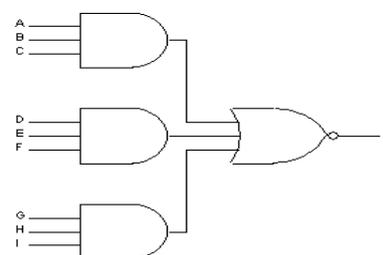
M. Rif'an, Onny Setyawati dan Wijono adalah Dosen Teknik Elektro Universitas Brawijaya Malang

memiliki disipasi daya lebih tinggi daripada IC teknologi MOS, namun memiliki kecepatan yang lebih besar. Dengan meningkatnya kebutuhan akan server dengan performa prima pada *mid-range computer family*, teknologi ECL banyak digunakan [1], dan dikembangkan berbagai konfigurasi ECL untuk mendapatkan IC dengan disipasi daya yang rendah kecepatan yang lebih besar dibandingkan dengan IC yang sama dari keluarga CMOS [2][3]

Dalam penelitian ini simulasi dilakukan pada rangkaian diskrit 3 wide - 3 Input And - Or - Inverter Gate teknologi ECL untuk mendapatkan nilai disipasi daya dan *propagation delay time* yang kecil untuk beban kapasitif yang sama dengan IC serupa dari keluarga *highspeed* CMOS.

## II. PERANCANGAN

Rangkaian 3 wide - 3 Input AOI Gate ditunjukkan dalam Gambar 1.



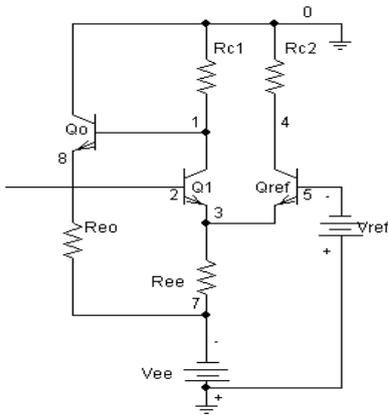
Gambar 1. Rangkaian 3 wide - 3 Input And - Or - Inverter Gate

Konfigurasi AOI ECL terdiri dari 3 gerbang AND 3 masukan yang berfungsi sebagai input A,B,C,D,E,F,G,H,I, dan 1 gerbang NOR 3 masukan. Gerbang AOI akan memiliki keluaran berlogika rendah jika minimal salah satu dari ketiga gerbang AND memiliki tiga masukan logika tinggi, semua kombinasi masukan yang lain akan menghasilkan keluaran berlogika tinggi. Tabel kebenaran 3 Wide - 3 Input AOI ditunjukkan dalam Tabel I

TABEL I  
DAFTAR KEBENARAN 3 WIDE - 3 INPUT AOI

A	B	C	D	E	F	G	H	I	Y
H	H	H	X	X	X	X	X	X	L
X	X	X	H	H	H	X	X	X	L
X	X	X	X	X	X	H	H	H	L
Kombinasi Lain									H

Perancangan 3 Wide - 3 Input AOI ECL dilakukan tiap gerbang IC. Tiap gerbang tersusun atas rangkaian transistor bipolar ECL. Gerbang logika dasar ECL adalah gerbang inverter yang terdiri dari rangkaian *current switch* dan *emitter follower*. Gerbang inverter ECL ditunjukkan dalam Gambar 2.



Gambar 2. Rangkaian Gerbang Inverter ECL[1]

Rangkaian *current switch* terdiri dari dua buah transistor identik  $Q_1$  dan  $Q_{ref}$ . Jika masukan yang diberikan pada basis  $Q_1$  lebih besar daripada tegangan referensi maka  $Q_1$  akan aktif, arus mengalir melalui emitor  $Q_1$  sebaliknya jika tegangan masukan pada  $Q_1$  lebih kecil daripada tegangan referensi maka  $Q_{ref}$  aktif dan arus mengalir melalui emitor  $Q_{ref}$ . Untuk mendapatkan keluaran gerbang inverter rangkaian *current switch* dihubungkan dengan *emitter follower* yang terdiri dari transistor  $Q_0$  dan resistor  $R_0$ . Keluaran gerbang inverter terletak pada emitor transistor  $Q_0$ .

Rangkaian transistor rangkaian 3 Wide - 3 Input AOI terdiri dari tiga rangkaian AND 3 masukan, dan satu rangkaian NOR 3 masukan. pada perancangan ini rangkaian *emitter follower* hanya terdapat pada rangkaian NOR 3 masukan. Gambar rangkaian transistor gerbang 3 Wide - 3 Input AOI dapat dilihat dalam Gambar 3.

### III. PERHITUNGAN PARAMETER AOI ECL

#### A. Gerbang Inverter

Gerbang ECL merupakan teknologi yang menggunakan transistor bipolar jenis npn, karena itu dalam perancangan ini perlu diketahui parameter transistor npn. Dalam perancangan ini terdapat tiga parameter yang digunakan yaitu  $\beta$  yaitu nilai penguatan arus transistor,  $I_s$  Arus saturasi dan  $V_T$  yaitu tegangan thermal transistor yang bernilai 0,025V.

Nilai  $V_{OH}$  dan  $V_{OL}$  didapat dengan menganalisis gerbang inverter ECL.  $V_{OH}$  dan  $V_{OL}$  didapat dalam dua kondisi.  $V_{OH}$  terjadi saat  $V_i < V_R$ .  $V_{OL}$  adalah pada saat  $V_i > V_R$ .  $Q_1$  aktif dan  $Q_2$  off. Sehingga  $I_{C1}$  yang mengalir besarnya mendekati  $I_{EE}$ . Dalam kondisi tersebut  $V_{OL}$  dapat dihitung dengan persamaan

$$V_{OL} = -I_{C1}R_{C1} - V_{BE3} \quad (1)$$

Dengan memasukkan nilai  $I_{C1}$ ,  $R_{C1}$  dan  $V_{BE}$  dalam Persamaan 1. Maka nilai  $V_{OL}$  dapat dihitung sebagai berikut.

$$v_{OL} = -0,3 \times 10^{-3} \times 2 \times 10^3 - 0,7 = -1,3V$$

$$V_{OH} = -V_{BE3} \quad (2)$$

Nilai  $V_{BE}$  untuk transistor berbasis germanium adalah 0,7V sehingga nilai  $V_{OH} = -0,7V$  [4].

Tegangan referensi adalah tegangan yang digunakan sebagai pembanding, tegangan ini berguna untuk menentukan transistor mana yang aktif dan mana yang tidak. Nilai tegangan referensi adalah nilai rata-rata dari  $V_{OH}$  dan  $V_{OL}$ . Nilai tegangan referensi didapat dengan memasukkan nilai  $V_{OH}$  dan  $V_{OL}$  pada Persamaan 3.

$$V_{REF} = \frac{V_{OH} + V_{OL}}{2} \quad (3)$$

$$V_{REF} = \frac{-0,7 - 1,3}{2} = -1$$

Perhitungan karakteristik tegangan pada gerbang NOR 3 masukan serupa dengan analisis tegangan pada gerbang inverter, tetapi memiliki 8 kombinasi masukan dari 3 masukan yang tersusun parallel. Jika salah satu dari tiga masukan bernilai lebih besar dari tegangan referensi maka masukan tersebut adalah  $V_{IH}$  dan akan menghasilkan keluaran logika rendah[4].

#### B. Gerbang And

Gerbang AND 3 masukan yang ditunjukkan dalam Gambar 3 dibentuk dengan menyusun transistor-transistor masukan secara seri dan menggunakan tegangan referensi yang perbedaan nilainya sama besar dengan tegangan basis emitor transistor [5]. Jika basis transistor  $Q_5$  diberikan masukan logika tinggi yaitu tegangan sebesar -0.7V maka sesuai Hukum Kirchoff dapat ditulis

$$V_{in} - V_{BE5} - V_{BE6} - V_{BE3} + V_{BER3} - V_{R3} = 0 \quad (4)$$

$$-0,7 - 0,7 - 0,7 - 0,7 + V_{BER3} + 2,4 = 0$$

Dari perhitungan didapat nilai  $V_{BER3} = -0,3V$  sehingga transistor  $Q_3$  tidak aktif dan arus yang mengalir adalah [4]

$$I_{E3} = \frac{-2,1 - (-5,2)}{11,7k} = 0,26 \text{ mA} \quad (5)$$

#### C. Gerbang 3 Wide - 3 Input AOI

Karakteristik tegangan gerbang ECL yaitu tegangan masukan logika rendah ( $V_{IL}$ ), tegangan masukan logika tinggi ( $V_{IH}$ ), tegangan keluaran logika rendah ( $V_{OL}$ ), tegangan keluaran logika tinggi ( $V_{OH}$ ) didapat melalui persamaan-persamaan berikut [5]

$$V_{IL} = V_{REF} - V_T \ln \left( \frac{I_{EE} R_C}{V_T} - 1 \right) \quad (6)$$

$$V_{IL} = -1 - 0,023 \ln \left( \frac{0,26 \text{ mA} \times 2 \text{ k}\Omega}{0,025} - 1 \right)$$

$$V_{IL} = -1,075 \text{ V}$$

$$V_{IH} = V_{REF} + V_T \ln \left( \frac{I_{EE} R_C}{V_T} - 1 \right) = -0,925V \quad (7)$$

$$V_{OL} = V_{REF} - \frac{\Delta V}{2} + V_T = -1,235V \quad (8)$$

$$V_{OH} = V_{REF} + \frac{\Delta V}{2} - V_T = -0,765V \quad (9)$$

Noise margin menunjukkan ketahanan relatif suatu gerbang logika terhadap noise. Nilai noise margin didapat dengan memasukkan nilai  $V_{OH}$ ,  $V_{OL}$ ,  $V_{IH}$ ,  $V_{IL}$  pada persamaan 10 dan 11. [5]

$$NM_H = V_{OH} - V_{IH} \quad (10)$$

$$= 0,16 \text{ V}$$

$$NM_L = V_{IL} - V_{OL} \quad (11)$$

$$= 0,16V$$

Karakteristik arus gerbang yaitu arus masukan logika rendah ( $I_{IL}$ ), arus masukan logika tinggi ( $I_{IH}$ ), arus keluaran logika rendah ( $I_{OH}$ ), dan arus keluaran logika tinggi ( $I_{OL}$ ) didapat melalui perhitungan matematis.

Saat transistor masukan diberi tegangan yang lebih rendah dari tegangan referensi transistor tersebut tidak aktif sehingga arus basis yang mengalir mendekati nol. Namun pada keadaan awal arus basis transistor dapat dihitung melalui Persamaan 12 [5].

$$I_{IL} = \frac{I_S}{\beta_F} \left[ \exp \frac{V_{BE}}{V_T} - 1 \right] \quad (12)$$

Dengan menggunakan parameter  $I_S = 0,85 \times 10^{-16}$  A dan  $\beta_F = 40$  didapat nilai  $I_{IL} = 3,07 \mu A$ .

Saat transistor diberi tegangan yang lebih besar dari tegangan referensi transistor tersebut aktif dan besar arus yang mengalir pada basis dapat ditentukan melalui Persamaan 13.

$$I_{IH} = \frac{I_{EE}}{(\beta_F + 1)} \quad (13)$$

Dengan nilai  $I_{EE} = 0,26$  mA didapat  $I_{IH} = 6,34 \mu A$ .

Besarnya arus keluaran dapat dihitung dengan menggunakan Persamaan 14.

$$I_O = \frac{V_O - V_{EE}}{R_O} \quad (14)$$

Sehingga dengan menggunakan  $R_O = 7k\Omega$  pada saat tegangan keluaran berlogika tinggi nilai arusnya  $I_{OH} = 633,57 \mu A$  dan  $I_{OL} = 566,43 \mu A$

Dengan menggunakan karakteristik arus yang telah dihitung dapat diketahui besarnya *fan-out* melalui Persamaan 15

$$Fan - out = \left( \frac{I_{OH}}{I_{IH}}, \frac{I_{OL}}{I_{IL}} \right) \quad (15)$$

$$\frac{I_{OH}}{I_{IH}} = \frac{633,57 \mu A}{6,34 \mu A} = 99 \text{ unit load}$$

$$\frac{I_{OL}}{I_{IL}} = \frac{566,43 \mu A}{3,07 \mu A} = 184 \text{ unit load}$$

Jadi jumlah *fan-out* yang mampu dibebani sejumlah 99 unit beban.

*Propagation Delay Time* ( $t_{PD}$ ) adalah nilai rata-rata dari nilai *propagation delay time* saat peralihan logika tinggi ke logika rendah ( $t_{PHL}$ ) dan *propagation delay time* saat peralihan logika rendah ke tinggi ( $t_{PLH}$ ).  $t_{PHL}$  dan  $t_{PLH}$  dihitung menggunakan persamaan berikut [6]

$$t_{PHL} = R_O C_L \ln \left( \frac{V_{OH} - V_{EE}}{V_{OL} - V_{EE}} \right) \quad (16)$$

$$t_{PLH} = \left( \frac{r_{\pi} + R_C}{\beta} \right) \cdot C_L \ln \left( \frac{V_{OL} - V_{OH}}{V_O(t) - V_{OH}} \right) \quad (17)$$

$$t_{PD} = \frac{t_{PLH} + t_{PHL}}{2} \quad (18)$$

Dengan memasukkan nilai  $R_O = 7$  k $\Omega$ ,  $V_{OH} = -0,765$  V,  $V_{OL} = -1,235$  V,  $r_{\pi}$  dianggap nol,  $\beta = 40$ , dan  $V_O(t) = -0,8$ ,  $V_{EE} = -5,2$  V, dan  $R_C = 2$  k $\Omega$ ,  $C_L = 50$  pF maka didapat nilai  $t_{PD}$  senilai 15,13 ns

Perhitungan disipasi daya pada ECL ditunjukkan dalam Persamaan berikut [5]

$$P_D = I_{total} V_{EE} \quad (19)$$

Nilai  $I_{total}$  adalah jumlah arus yang mengalir pada tiap gerbang, pada IC 3 *Wide-3 Input* AOI terdapat 3 buah gerbang AND dan sebuah gerbang NOR, karena itu  $I_{total}$  pada saat ketiga gerbang AND memiliki keluaran logika tinggi dan gerbang NOR memberikan keluaran logika rendah adalah

$$I_{total} = 4 \cdot I_{EE} + I_{OL} = 1,674 \text{ mA}$$

Dan nilai disipasi daya dapat dihitung sebagai berikut

$$P_{DH} = 1,674 \text{ mA} \times 5,2 = 8,704 \text{ mW}$$

$I_{total}$  saat ketiga gerbang AND memberikan keluaran logika rendah dan keluaran NOR berlogika tinggi adalah

$$I_{total} = 4 \cdot I_{EE} + I_{OH} = 1,606 \text{ mA}$$

$$P_{DL} = 1,606 \text{ mA} \times 5,2 = 8,3512 \text{ mW}$$

Nilai disipasi daya rangkaian adalah 8,405 mW.

#### IV. SIMULASI DAN ANALISIS

Simulasi dengan software PSPICE digunakan untuk menganalisa:

- karakteristik tegangan untuk mendapatkan nilai  $V_{IL}$ ,  $V_{IH}$ ,  $V_{OL}$ ,  $V_{OH}$  dan *noise margin*
- karakteristik arus untuk mendapatkan nilai  $I_{IL}$ ,  $I_{IH}$ ,  $I_{OL}$ ,  $I_{OH}$  dan untuk *fan out*
- Disipasi daya
- *Propagation delay time* untuk mendapatkan nilai  $t_{PHL}$  dan  $t_{PLH}$

##### A. Karakteristik Tegangan

Hasil simulasi karakteristik tegangan ditunjukkan dalam Gambar 4. Sumbu horizontal menunjukkan nilai masukan A D G pada gerbang AOI yang ditunjukkan dalam Gambar 1, nilai masukan bervariasi dari -1,3 V sampai -0,7 V, sumbu vertikal menunjukkan nilai tegangan keluaran gerbang Y.

Simulasi karakteristik tegangan dilakukan dengan memberikan tegangan  $V_{EE}$  sebesar -5,2 V dan tahanan  $R_O = 7$  k $\Omega$ , 3 masukan yaitu A,D,dan G diberi masukan bervariasi dari -1,3 V sampai -0,7 V, dan masukan lain bernilai -0,7 V atau berlogika tinggi. Saat A,D,G bernilai -1,3 V sampai -1,1 V ketiga gerbang AND (Gambar 3) memiliki masukan yang lebih negatif dibanding tegangan referensi, sehingga sesuai Hukum Kirchoff seperti ditunjukkan dalam Persamaan 4 arus mengalir melalui transistor referensi dan menghasilkan keluaran logika rendah, keluaran dari tiap gerbang AND dihubungkan ke gerbang NOR, ketiga transistor masukan gerbang NOR bernilai lebih positif dibanding tegangan referensi, maka arus mengalir melalui gerbang masukan, dan nilai keluaran didapat sesuai dengan Persamaan 1 dan Persamaan 2. Pada simulasi gerbang memiliki keluaran sebesar -0,8 V yang disebut  $V_{OH}$ . kemudian nilai keluaran mulai menurun sampai saat A,D,G bernilai -0,9 V karena nilai masukan yang semakin positif dan kemudian berubah dari lebih negatif menjadi lebih positif dibanding tegangan referensi, hal ini menyebabkan pergantian transistor yang aktif sehingga juga menyebabkan perubahan logika keluaran.

Saat masukan A D G bernilai 0,9 V nilai masukan lebih positif dibanding tegangan referensi sehingga arus mengalir ke arah transistor masukan dan ketiga Gerbang AND memiliki keluaran logika tinggi yang lalu dihubungkan ke gerbang NOR. Masukan gerbang NOR lebih positif dibanding tegangan referensi sehingga menghasilkan keluaran sebesar -1,474 V yang disebut  $V_{OL}$  dan tetap menghasilkan keluaran logika rendah sampai masukan bernilai -0,7V karena rentang masukan

ini masih memiliki selisih yang cukup dengan tegangan referensi untuk mengaktifkan transistor masukan gerbang AND. Nilai -1,10 V dan -0,9 V pada masukan disebut sebagai  $V_{IL}$  dan  $V_{IH}$ .

Dengan menggunakan karakteristik tegangan yang didapat melalui simulasi, dapat dihitung *noise margin* rangkaian, yaitu

$$NM_H = V_{OH} - V_{IH} = 0,1V$$

$$NM_L = V_{IL} - V_{OL} = 0,374V$$

### B. Karakteristik Arus

Simulasi karakteristik arus dilakukan dengan memberikan nilai masukan,  $V_{EE}$  dan  $R_O$  yang sama seperti pada simulasi karakteristik tegangan, perbedaannya terdapat pada *plot calling* pada *listing* program. Grafik hasil simulasi karakteristik arus ditunjukkan dalam Gambar 5. Pada Grafik (a) sumbu horizontal menunjukkan masukan A D G (Gambar 1) yang bervariasi dari -1,3 V sampai -0,7 V, sumbu vertikal menunjukkan arus yang keluar dari gerbang NOR (Gambar 3). Pada Grafik (b) sumbu horizontal menunjukkan masukan A D G dari -1,3 V sampai -0,7 V, sumbu vertikal menunjukkan nilai arus basis salah satu transistor masukan gerbang AND yang menerima masukan bervariasi.

Pada Grafik (a) arus keluaran gerbang bernilai 628  $\mu A$  saat masukan -1,3 V sampai -1,1 V karena pada saat itu ketiga gerbang AND menghasilkan keluaran logika rendah sehingga ketiga transistor masukan gerbang NOR tidak aktif dan menghasilkan keluaran logika tinggi, nilai arus pada titik keluaran didapat melalui Persamaan 14. Pada saat keluaran adalah  $V_{OH}$  nilai arus keluaran adalah  $I_{OH}$ . Saat masukan gerbang AND berubah menjadi lebih positif dibanding tegangan referensi gerbang AND menghasilkan keluaran logika tinggi yang menjadi masukan pada gerbang NOR, menyebabkan transistor masukan gerbang NOR aktif, dan menghasilkan keluaran  $V_{OL}$ , pada saat ini arus keluaran disebut  $I_{OL}$ . Grafik menunjukkan nilai  $I_{OL}$  sebesar 532  $\mu A$ .

Pada Grafik (b) saat masukan antara -1,3 V sampai -1,1 V transistor masukan gerbang AND tidak aktif sehingga besar arus basis mendekati nol, namun keadaan awalnya dapat dihitung melalui Persamaan 12. Pada simulasi didapat nilai arus basis saat masukan  $V_{IL}$  sebesar 0,122  $\mu A$  yang disebut  $I_{IL}$ , saat masukan bernilai -0,9 V atau  $V_{OH}$  transistor masukan aktif dan arus basis dapat dihitung dengan Persamaan 13. Hasil simulasi menunjukkan nilai arus basis masukan saat  $V_{IH}$  adalah sebesar 5,82  $\mu A$  yang disebut  $I_{IH}$ . Arus basis ini bernilai sangat kecil saat masukan bernilai -1,3V dan bernilai 0,122  $\mu A$  pada saat masukan  $V_{IL}$  arus ini disebut  $I_{IL}$  lalu bernilai 5,82  $\mu A$  pada saat masukan  $V_{IH}$  yang disebut  $I_{IH}$ . Dari hasil simulasi didapat nilai *fan-out* rangkaian adalah sejumlah 107 unit beban.

### C. Disipasi Daya

Simulasi disipasi daya dilakukan berdasarkan Persamaan 19. Grafik hasil simulasi ditunjukkan dalam Gambar 6. Sumbu horizontal menunjukkan nilai tegangan masukan pada titik A D G (Gambar 1) sumbu

vertikal menunjukkan nilai disipasi daya yaitu dengan memasukkan persamaan  $P_D = V_{EE} \cdot (I_{EE1} + I_{EE2} + I_{EE3} + I_{EE4} + I_{O4})$  pada plot simulasi.

Simulasi disipasi daya dilakukan dengan menggunakan  $R_O = 7 \text{ k}\Omega$ . Pada saat masukan  $V_{IL}$  arus keluaran yang dihasilkan gerbang adalah  $I_{OH}$  (Gambar 5.a) nilai arus ini dikalikan dengan  $V_{EE}$  menghasilkan nilai  $PD_H$  sebesar 8,62 mW. Saat masukan gerbang  $V_{IH}$  arus keluaran gerbang adalah  $I_{OL}$ . Nilai arus ini dikalikan dengan  $V_{EE}$  menghasilkan nilai  $PD_L$  sebesar 8,19 mW sehingga didapat nilai  $P_D = 8,405 \text{ mW}$ .

Besar disipasi daya bergantung pada besar arus yang masuk dan keluar dari rangkaian. Arus yang keluar dari rangkaian juga bergantung pada nilai  $R_O$  yang dihubungkan pada rangkaian. Hubungan nilai  $R_O$  dan disipasi daya ditunjukkan dalam Gambar 7. Makin besar nilai  $R_O$  nilai arus keluaran makin kecil (Persamaan 14), makin kecil nilai arus keluaran, makin kecil pula disipasi daya.

### D. Propagation Delay Time

Simulasi *propagation delay time* dilakukan dengan menggunakan masukan *unit step*,  $R_O = 7 \text{ k}\Omega$  dan nilai  $C_1 = 50 \text{ pF}$  nilai ini digunakan karena menghasilkan  $t_{PD}$  yang paling singkat dengan beban yang sama dengan yang tertera pada *datasheet* IC serupa dari keluarga *highspeed* CMOS hasil simulasi ditunjukkan dalam Gambar 8. Sumbu horizontal menunjukkan waktu, sumbu vertikal menunjukkan tegangan. Terdapat dua buah kurva pada grafik yang pertama berupa gelombang masukan dengan frekuensi 16,6 MHz, kurva kedua menunjukkan nilai tegangan keluaran. *Propagation delay time* didapat dari sinyal keluaran dalam bentuk  $t_{PHL}$  dan  $t_{PLH}$ .  $t_{PHL}$  adalah waktu yang diperlukan gerbang untuk berubah keluaran dari logika tinggi menjadi logika rendah.

Pada awal simulasi masukan berlogika rendah dan keluaran berlogika tinggi. Pada saat waktu 10 ns masukan berubah menjadi logika tinggi, tegangan keluaran berubah menjadi logika rendah pada waktu 37,544 ns yang artinya perlu 27,544 ns untuk berubah level logika, nilai ini disebut  $t_{PHL}$ . Pada waktu 40 ns masukan kembali berubah menjadi logika rendah sedangkan tegangan keluaran berubah menjadi logika tinggi pada 44,307 ns yang artinya rangkaian perlu 4,307 ns untuk berubah level logika, nilai ini disebut  $t_{PLH}$ . Nilai *propagation delay time* ( $t_{PD}$ ) adalah rata-rata dari nilai  $t_{PHL}$  dan  $t_{PLH}$ , dari hasil simulasi didapat nilai  $t_{PD}$  adalah 8,405 ns.

Dalam perancangan ini rangkaian diberi beban kapasitif, tahanan  $R_O$  dan frekuensi bervariasi sehingga nilai *propagation delay time* yang juga bervariasi, nilai  $t_{PD}$  berhubungan dengan besarnya beban yang diberikan pada rangkaian, semakin besar beban yang diberikan, makin besar nilai  $t_{PD}$ , nilai  $t_{PD}$  juga berhubungan dengan besarnya frekuensi masukan. Nilai  $t_{PD}$  lebih singkat pada frekuensi yang lebih tinggi, Grafik hubungan antara beban kapasitif dan *propagation delay time* ditunjukkan dalam Gambar 9. Pada frekuensi 16.66 MHz dan  $R_O = 5 \text{ k}\Omega$  dan beban kapasitif 50 pF rangkaian memiliki  $t_{PD}$

senilai 12,723 ns, pada saat  $R_O = 7 \text{ K}\Omega$  nilai  $t_{PD} = 15,925 \text{ ns}$ . dengan beban kapasitif yang sama pada frekuensi 25 MHz nilai  $t_{PD} = 11,672 \text{ ns}$  saat  $R_O = 5 \text{ k}\Omega$ . sedangkan pada saat  $R_O = 7 \text{ k}\Omega$  rangkaian memiliki nilai  $t_{PD} = 10,487 \text{ ns}$  dengan beban kapasitif sebesar 30 pF.

#### E. Perbandingan Hasil Simulasi dan Datasheet

Perbandingan hasil perhitungan perancangan dan simulasi IC 3 Wide-3 Input AOI dengan IC M74HC51 berdasarkan *datasheet*-nya ditunjukkan dalam Tabel 2.

Perbedaan antara gerbang AOI teknologi bipolar transistor ECL dan keluarga *highspeed* CMOS terletak pada karakteristik tegangan, yang disebabkan perbedaan spesifikasi transistor, karakteristik tegangan CMOS menghasilkan noise margin senilai 1,35 V untuk NMH dan 1,25 V untuk NML sedangkan hasil simulasi gerbang AOI ECL memberikan hasil NMH sebesar 0,1 V dan NML sebesar 0,374 V.

Perbedaan karakteristik arus menghasilkan perbedaan nilai *fan-out* antara gerbang AOI keluarga *highspeed* CMOS dan keluarga transistor bipolar khususnya ECL, pada IC M74HC51 *fan-out* maksimal berjumlah 40000 unit beban, sedangkan hasil simulasi gerbang AOI ECL mendapatkan nilai *fan-out* maksimal berjumlah 99 unit beban. Disipasi daya gerbang AOI ECL bernilai 8,405 mW. *Propagation delay time* yang dihasilkan pada simulasi gerbang AOI ECL sebesar 11,672 ns pada frekuensi 25 MHz dan beban kapasitif 50 pF.

TABEL II  
PERBANDINGAN KARAKTERISTIK GERBANG AOI HASIL  
PERANCANGAN DENGAN IC M74HC51

	ECL		CMOS
	Perhitungan	simulasi	M74HC51
<b>VOH (V)</b>	-0.765	-0.8	4,5
<b>VOL (V)</b>	-1.235	-1.474	0,1
<b>VIH (V)</b>	-0.925	-0.9	3,15
<b>VIL (V)</b>	-1.075	-1,1	1,35
<b>NMH (V)</b>	0.16	0.1	1,35
<b>NML (V)</b>	0.16	0.374	1,25
<b>IOH (<math>\mu\text{A}</math>)</b>	633,57	628	4000
<b>IOL (<math>\mu\text{A}</math>)</b>	566,43	532	4000
<b>IIH (<math>\mu\text{A}</math>)</b>	6,34	5,82	0,1
<b>IIL (<math>\mu\text{A}</math>)</b>	3,07	0.122	0,1
<b>fan-out</b>	99	107	40000
<b>PD (mw)</b>	8,406	8,405	
<b>TPD (ns)</b>	19,53	11,672	17

#### V. KESIMPULAN

Rangkaian 3 Wide - 3 Input AOI tersusun dari 3 gerbang AND 3 masukan dan 1 gerbang NOR 1 masukan. Yang terdiri dari 32 transistor NPN, dan 10 resistor.

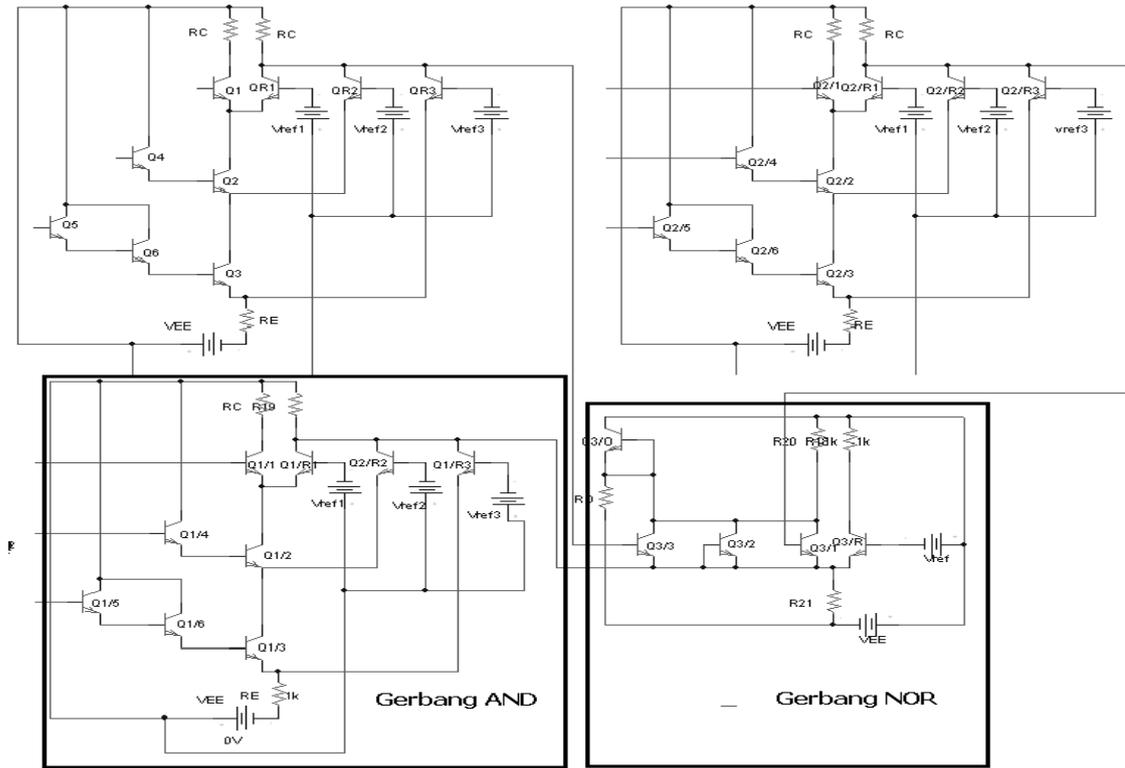
Berdasarkan simulasi didapat nilai karakteristik tegangan.  $V_{OH} = -0,8 \text{ V}$   $V_{OL} = -1,474 \text{ V}$   $V_{IH} = -0,9 \text{ V}$   $V_{IL} = -1 \text{ V}$  noise margin NMH=0,1V NML=0,374V. Rangkaian dapat dibebani sejumlah 99 unit beban, memiliki disipasi daya sebesar 8,405 mW dan *propagation delay time* sebesar 11,672 ns pada frekuensi 25Mhz dan beban kapasitif 50 pF

Rangkaian 3 Wide - 3 Input AOI memiliki disipasi daya kecil dan  $t_{PD}$  yang lebih cepat dibandingkan keluarga CMOS.

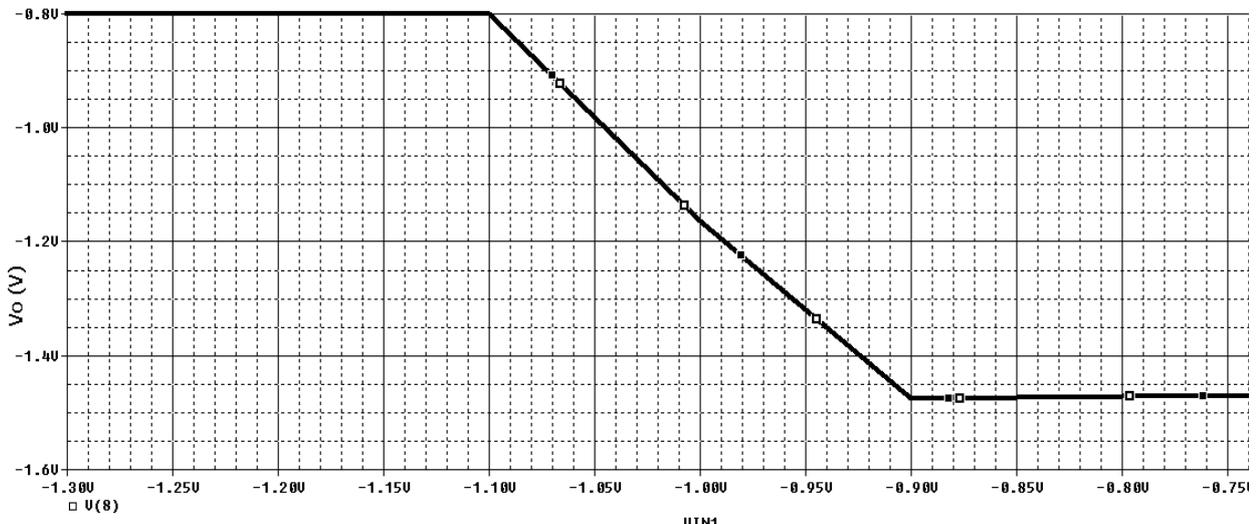
Nilai  $R_O$  pada AOI mempengaruhi besarnya arus keluaran. Makin besar  $R_O$  makin kecil arus keluaran yang menyebabkan disipasi daya makin kecil. Nilai  $t_{PD}$  bergantung pada beban kapasitif,  $R_O$  dan frekuensi. Pada frekuensi dan  $C_1$  yang sama  $t_{PD}$  akan bernilai lebih kecil pada  $R_O$  yang kecil. Pada  $R_O$  dan  $C_1$  yang sama,  $t_{PD}$  akan lebih kecil pada frekuensi yang lebih besar.

#### REFERENCES

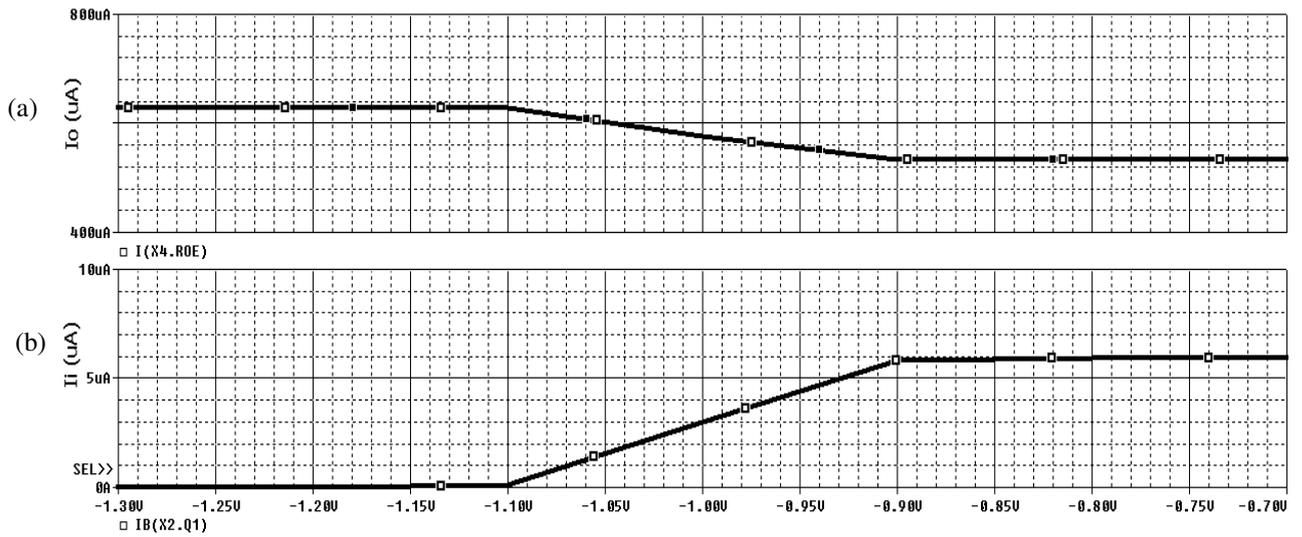
- [1] N.Jouppi et al., "A 300 MHz 115W 32 b bipolar ECL Microprocessor with on chip cache," in IEEE 40<sup>th</sup> Int.Solid State Circuit Conf., Digest of Technical Papers, San Francisco, Feb.24-26, 1993.
- [2] H.J.Shin, "Self biased feedback controlled pull down emitter follower for high speed low power bipolar logic circuit," in 1993 Symp. On VLSI Circuits, Digest of Technical Papers, p.27, Kyoto, Japan, May 19-23 1993.
- [3] T. Kuroda et al., "Capacitor free level sensitive active pull down ECL circuit with self adjusting driving capability," in 1993 Symp. on VLSI Circuits, Digest of Technical Papers, P.29, Kyoto, Japan, May 19-21, 1993.
- [4] Jaeger, Richard C., Blalock, Travis N. 2011. *Microelectronic Circuit Design*. New York: McGraw-Hill Companies, Inc
- [5] E, John Ayers. 2004. *Digital Integrated Circuits. Analysis and Desain*. Florida: CRC Press LLC.
- [6] Sendra. 1992. *Spice for Microelectronics Circuit 3<sup>rd</sup> edition*. USA: Saunders College PublishingG. O. Young, "Synthetic structure of industrial plastics (Book style with paper title and editor)," in *Plastics*, 2nd ed. vol. 3, J. Peters, Ed. New York: McGraw-Hill, 1964, pp. 15-64.



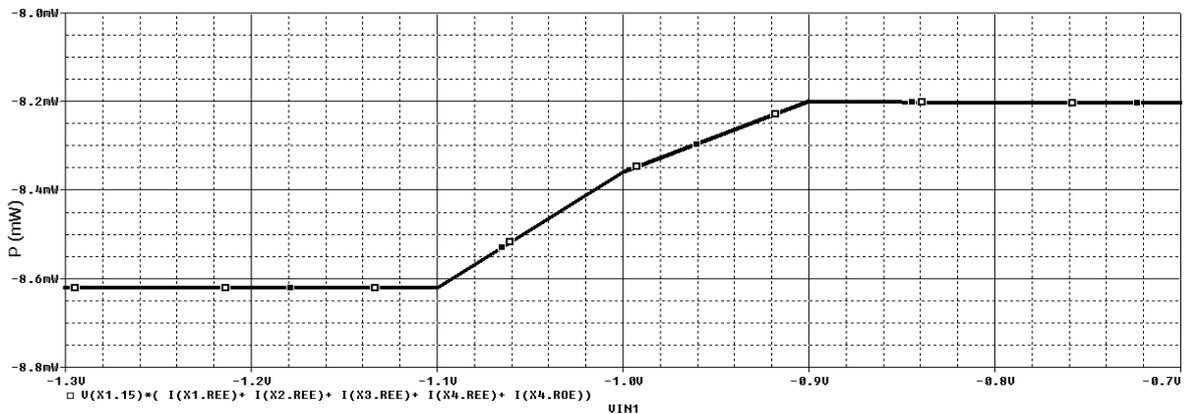
Gambar 3. Rangkaian 3 Wide – 3 Input AOI Gate



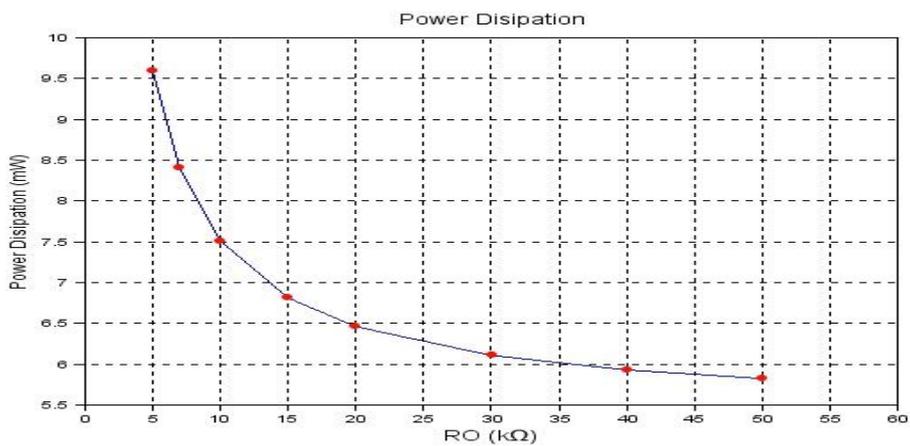
Gambar 4. Grafik hasil simulasi karakteristik tegangan rangkaian 3 Wide – 3 Input AOI



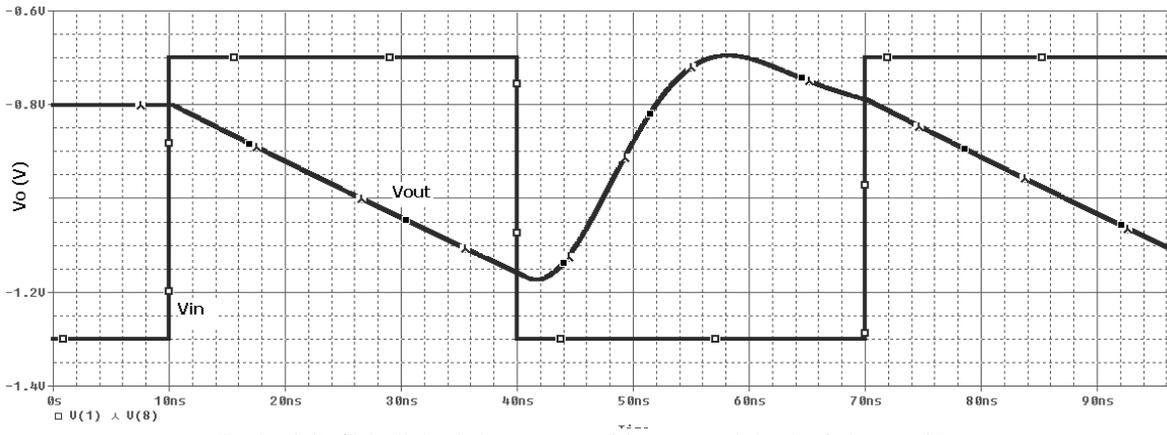
Gambar 5. Grafik hasil simulasi karakteristik arus rangkaian 3 wide – 3 input AOI



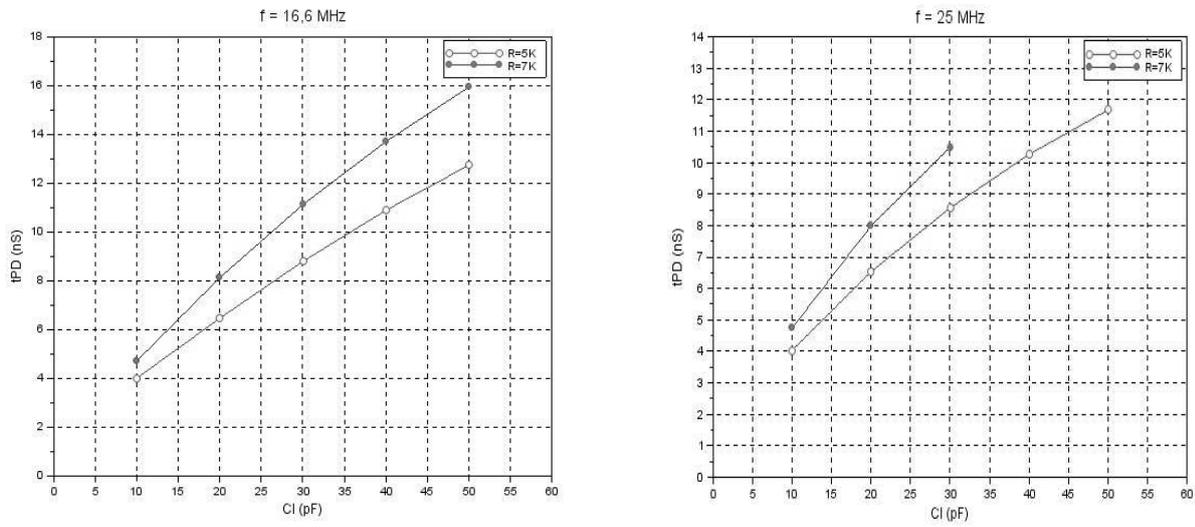
Gambar 6. Grafik hasil simulasi disipasi daya rangkaian



Gambar 7 Grafik hubungan tahanan  $R_O$  dengan disipasi daya



Gambar 8 Grafik hasil simulasi *propagation delay time* rangkaian 3wide-3input AOI



Gambar 9 Hubungan beban kapasitif dan *propagation delay time* pada frekuensi 25 MHz dan 16,6 Mhz