

Perbandingan Desain dan Analisis IC *Standard* dan *Datasheet* TTL AOI Dual 2-Wide 2-Input

Syaiful Rachman, Onny Setyawati, Wijono dan M.Julius St

Abstrak—Penelitian ini membandingkan kecepatan *propagation time* dan *voltage transfer characteristic* (VTC) IC *standard* dan *Datasheet* TTL AOI Dual 2-Wide 2 input. Spesifikasi hasil simulasi menggunakan program SPICE dengan kapasitor beban $C_L = 15$ pf dan $R_L = 5,2$ k dengan tingkat suhu yang berbeda meliputi -55°C , 27°C , 125°C dan menghasilkan perbedaan t_{PLH} (*transisi low to high*), t_{PHL} (*transisi high to low*) dan waktu rerata propagasi yang dihasilkan. Untuk kondisi suhu minimum kinerja kecepatan waktu propagasi semakin lambat dibandingkan suhu ruang dan pada grafik VTC suhu 125°C ada peningkatan tegangan output (V_{OH}). Pada suhu -55°C terjadi penurunan V_{OH} , dibandingkan pada suhu ruang 27°C dan diperoleh peningkatan kecepatan waktu propagasi 9,8 kali dibandingkan *Datasheet* TTL AOI SN54LS51.

Kata Kunci— IC TTL AOI Dual 2-Wide 2-Input, *propagation time*, VTC.

I. PENDAHULUAN

RANGKAIAN terpadu TTL AOI (AND OR INVERTER) Dual 2-wide 2-input adalah gabungan gerbang logika digital yang terdiri dari dua gerbang logika AND dan gerbang logika OR dan INVERTER. Menentukan kecepatan operasi gerbang digital diukur berdasarkan parameter waktu propagasi yaitu t_{PLH} (*transisi low to high*) dan t_{PHL} (*transisi high to low*), *fall time* (t_R) dan *rise time* (t_F) kemudian *propagation delay average* (t_{PD}). Parameter ini mempengaruhi keseluruhan waktu *delay* yang dihasilkan ketika gerbang melakukan transisi. Rangkaian terintegrasi *standard* TTL NAND gate, telah dirancang oleh Rashid dalam [1]. Penelitian dilakukan oleh Lee, Singh dan Cooper menggunakan *standard integrated circuit* inverter TTL pada tahun 2008 [2] dengan area emitor aktif $0,0105$ mm persegi, panjang emitor (L_E) sebesar 100 μm dan 500 μm dan *Common Emitter Gain* (β_F) sebesar 22 dan 17. Hasil penelitiannya menggunakan sumber tegangan sebesar 15 Volt, menghasilkan t_{PLH} sebesar 98 ns dan t_{PHL} sebesar 114 ns dan kecepatan rata-rata *time propagation delay* sebesar 108 ns. Pada tahun 2011 Singh and Cooper [3] mengoptimalkan rangkaian dengan inverter STTL dengan luasan panjang emitor

sebesar 125 μm dan diperoleh kecepatan *propagation delay* sebesar 9,8 ns, disimulasikan menggunakan program SPICE.

Permasalahan rangkaian TTL pada suhu ruang akan mempengaruhi kinerja dari waktu propagasi selama kondisi transisi *low* ke *high* (t_{PLH}) [4], dan parameter karakteristik transfer alih tegangan (VTC) kurang ideal. Sedangkan rangkaian TTL pada bagian rangkaian aktif *pull-up* terkait dengan peningkatan arus rata-rata dari output yang dihasilkan mengakibatkan transisi waktu propagasi dari *high* ke *low* (t_{PHL}) lebih lama, sehingga akan memengaruhi waktu propagasi rata-rata dari IC TTL. Berdasarkan hasil desain dan analisis, diperoleh lebih optimal terhadap kemampuan kinerja dari rangkaian terpadu *standard dual 2-wide 2-input* TTL AOI dibandingkan dengan *datasheet* IC TTL gerbang AOI dual 2-wide 2-input (IC 54LS51).

Tujuan yang dicapai dalam penelitian ini adalah merancang IC TTL AOI jenis *standard Dual 2-Wide 2-Input* dengan menganalisis kinerja rangkaian dengan perhitungan dan simulasi sehingga hasil *propagation delay* dan karakteristik transfer alih tegangan (VTC) lebih optimal dibandingkan dengan IC *datasheet* SN 54LS51

II. METODE PENELITIAN

Penyusunan metodologi penelitian berdasarkan menentukan spesifikasi rangkaian *standard* TTL AOI dengan konfigurasi IC *Dual 2-Wide 2-Input*, selanjutnya menentukan nilai resistor. Berikutnya melakukansimulasi dengan Multisim 8.0. Isyarat output berhasil terbaca dengan metode memberikan input logika 1/0. Perancangan aspect rasio W/L resistor dan emitor area dilakukan. Hasil desain disimulasikan dengan program SPICE meliputi beragam suhu, dan dianalisis hasil yang diperoleh. Diagram alir langkah penelitian tampak dalam Gambar 1.

III. DESAIN

Tahap desain rangkaian *standard* TTL AOI yang menggunakan transistor bipolar jenis NPN, sebagai rangkaian *equivalent* gerbang logika TTL AOI seperti ditunjukkan dalam Gambar 2.

Terdapat beberapa nilai parameter yang telah diketahui nilai dan satuannya, untuk lebih mendekati pada karakteristik devais dan mempermudah proses analisis. Nilai resistor R diperoleh dengan persamaan:

$$R = \frac{L}{W} R_{sh} \quad (1)$$

Syaiful Rachman adalah staf pengajar di politeknik negeri banjarmasin dan mahasiswa Program Magister dan Doktor Teknik Elektro Universitas Brawijaya, Malang, Indonesia. email: syaifulrachman1@gmail.com.

Staf pengajar Jurusan Teknik Elektro Universitas Brawijaya Malang, Indonesia.

Dimana R_{sh} adalah resistansi sheet, L adalah panjang resistor dan W adalah luas penampang [5]. Untuk hasil keseluruhan perhitungan nilai rasio W/L ditunjukkan pada Tabel I.

TABEL I
NILAI HASIL PERHITUNGAN ASPECT RASIO W/L

Symbol	Resistor (R)	W/L
R_{1A}	4k Ω	50/1000
R_{1B}	4k Ω	50/1000
R_{1C}	4k Ω	50/1000
R_{1D}	4k Ω	50/1000
R_2	900 Ω	50/225
R_3	1,7k Ω	50/875
R_4	130 Ω	50/32,5

A. Desain struktur transistor bipolar

Desain struktur transistor bipolar NPN dengan model parameter β_F , β_R dan emitor area (A_E) pada penelitian ini ditunjukkan pada Tabel II. Dari data parameter Tabel II, perhitungan untuk desain struktur transistor bipolar, dengan tahap perancangan menentukan daerah *base diffusion electron*, D_{nB} menggunakan persamaan [4]:

TABLE II
DESAIN STRUKTUR TRANSISTOR BIPOLAR NPN

Symbol	Diskripsi	Nilai
N_{DE}	Emitor doping	1.10E+18 cm ⁻³
N_{DC}	Kolektor doping	1.5E+16 cm ⁻³
N_{AB}	Basis doping	6.00E+17cm ⁻³
μ_{pE}	Mobilitas hole di emitor	147 m ² /V.s
μ_{nB}	Mobilitas elektron di basis	358 cm ² /V.s
μ_{pC}	Mobilitas hole di kolektor	417cm ² /V.s
τ_{pE}	Emitor lifetime	9.30E-07 s
τ_{nB}	Base lifetime	4.75E-07 s
τ_{pC}	Lebar kolektor	8.50E-05 s

$$D_{nB} = \mu_n \frac{k.T}{q} \tag{2}$$

Base diffusion length, L_{nB} diperoleh dari persamaan :

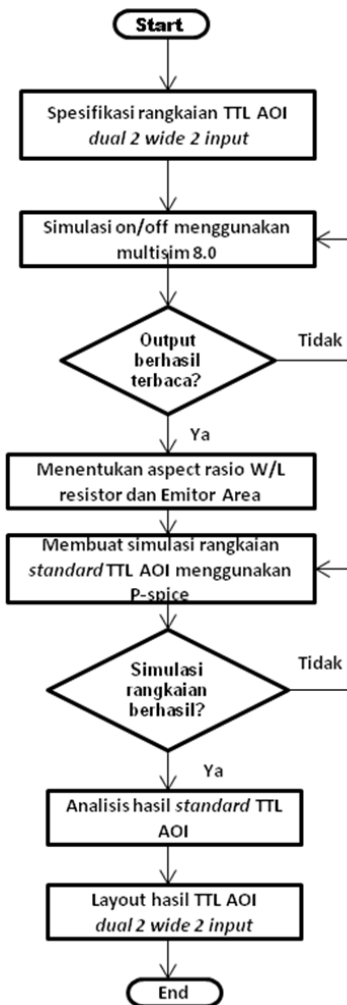
$$L_{nB} = \sqrt{D_{nB}\tau_{nB}} \tag{3}$$

Base transport factor, α_T didapatkan yaitu :

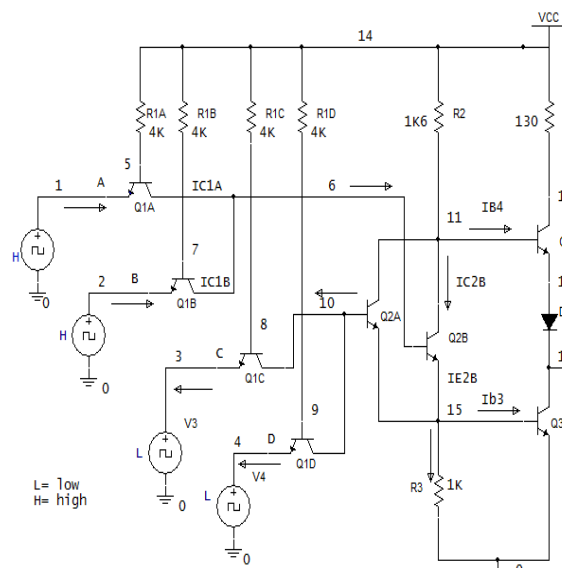
$$\alpha_T \approx \left(1 + \frac{W_B^2}{2L_{nB}^2} \right)^{-1} \approx 1 \tag{4}$$

Emmitter diffusion hole, D_{pE} diperoleh menggunakan persamaan yaitu :

$$D_{pE} = \mu_{pE} \frac{k.T}{q} \tag{5}$$



Gambar 1. Diagram alir langkah penelitian



Gambar 2. Rangkaian standard equivalent TTL AOI dual 2 wide 2 input

Emitter diffusion length, L_{pE} diperoleh dengan persamaan yaitu :

$$L_{pE} = \sqrt{D_{pE}\tau_{pE}} \quad (6)$$

Emitter injection efficiency, γ_E diperoleh menggunakan persamaan :

$$\gamma_E = \left(1 + \frac{D_{pE}N_{aB}W_B}{D_{nB}N_{dE}W_E} \right)^{-1} \quad (7)$$

Diperoleh hasil $\gamma_E = 0,912$ Sehingga penguatan arus $\alpha_F \approx \gamma_E \cdot \alpha_T$ didapatkan yaitu :

$$\alpha_F \approx \gamma_E \cdot \alpha_T = 0,912 \cdot 1 = 0,912$$

Kemudian didapatkan penguatan arus *beta forward*, β_F yaitu [1,6] :

$$\beta_F = \frac{\alpha_F}{1 - \alpha_F} = \frac{0,912}{1 - 0,912} \approx 10,4$$

Sedangkan untuk menentukan *emitter common reverse gain* (β_R) menggunakan persamaan [6] :

$$\beta_R = \frac{D_{nB} N_{dC} W_{EPi}}{D_{pC} N_{aB} W_B} \quad (8)$$

Berdasarkan parameter sebelumnya, diperoleh $\beta_R = 0,1$ sehingga luasan Emitor Area (A_E) dengan model parameter I_S (arus saturasi) bipolar transistor sebesar $3,64 \cdot 10^{-16} A$, dan $W_B = 0,4 \mu m$ adalah :

$$A_E = \frac{I_S \cdot W_B N_{aB}}{q D_b n_i^2} \quad (9)$$

Sehingga luasan keseluruhan Emitor area (A_E) adalah sebesar $2,28 \cdot 10^{-5} cm^2$.

B. Karakteristik Transfer Alih Tegangan (VTC)

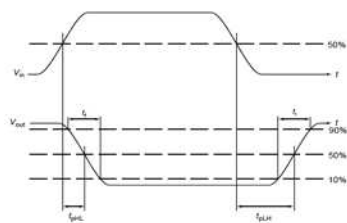
Perhitungan karakteristik transfer alih tegangan (VTC) *standard TTL AOI* parameter V_{IL} dengan menggunakan persamaan[4] :

$$V_{IL} = V_{BEA} - V_{CE(SAT)} \quad t_{PLH} \quad (10)$$

Sedangkan perhitungan parameter V_{IH} diperoleh dari persamaan :

$$V_{IH} = 2 \cdot V_{BE(SAT)} - V_{CE(SAT)} \quad (11)$$

C. Propagation delay



Gambar 3. Definisi *propagation delay*[4]

Parameter ini mempengaruhi keseluruhan waktu *delay* yang dihasilkan ketika gerbang melakukan transisi. Waktu propagasi dari penundaan ini yaitu perbedaan waktu antara titik di mana V_{IN} meningkat sampai 50% dari nilai akhir dan saat V_{OUT} jatuh ke titik 50%. ini disebut t_{pHL} , dan ketika V_{IN} jatuh sampai 50%

dari nilai akhir dan saat V_{OUT} menurun ke titik 50%. ini disebut t_{pLH} [7]. didefinisikan seperti dalam Gambar 3[4].

Propagation delay didefinisikan sebagai rerata t_{pHL} dan t_{pLH} yaitu :

$$t_{PD} = \frac{t_{pHL} + t_{pLH}}{2} \quad (12)$$

Aproksimasi perhitungan untuk t_{pLH} rangkaian tipe *totem pole* dengan $V_{OH} = 3,5v$ dapat dituliskan dengan persamaan [8,9]:

$$t_{pHL} = CL \frac{1,7}{I_{C(max)output}} \quad (13)$$

Kemudian aproksimasi perhitungan t_{pHL} didefinisikan dengan persamaan :

$$t_{pHL} = CL \frac{1,7}{I_{E(average.output)}} \quad (14)$$

Analisis perhitungan *standard TTL AOI* pada suhu $27^\circ C$, nilai parameter *propagation delay*, t_{pLH} berdasarkan rangkaian aktif *pull-up* seperti ditunjukkan Gambar 4. Pada saat $V_o = V_{CE(sat)} = 0,1 V$, arus I_{B4} diperoleh dengan persamaan :

$$I_{B4} = \frac{V_{CC} - V_{BE4} - V_D - V_o}{R_2} \quad (17)$$

I_{B4} sebesar 2,1 mA. Saat $V_o = V_{CE(sat)} = 0,1 V$ pengisian arus kapasitor ($i_{Cap} \approx I_{E4}$) dan $\beta_F = 10$ yaitu :

$$i_{Cap} \approx i_{E4} = (\beta + 1) \cdot i_{B4} = (10 + 1) \cdot 2,1 \approx 23 \text{ mA}$$

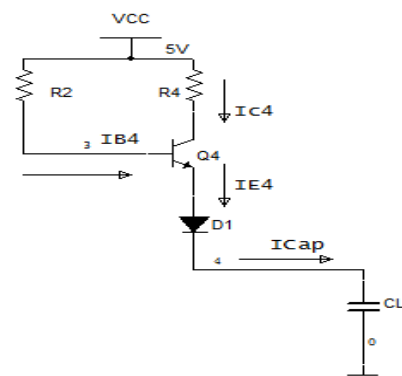
Pada saat V_o meningkat = 1,8 V, arus basis dari transistor Q_4 yaitu 1,125 mA, arus kapasitor ($i_{Cap} \approx I_{E4}$) , diperoleh sebagai berikut.

$$i_{Cap} \approx i_{E4} = 11,25 \text{ mA}$$

Sehingga arus rata rata pengisian kapasitor yaitu :

$$i_{Cap}(\text{rata-rata}) = \frac{23 \text{ mA} + 11,25 \text{ mA}}{2} \approx 17 \text{ mA}$$

t_{pLH} , untuk kapasitor beban (C_L) = 15 pf diperoleh 1,5 ns.

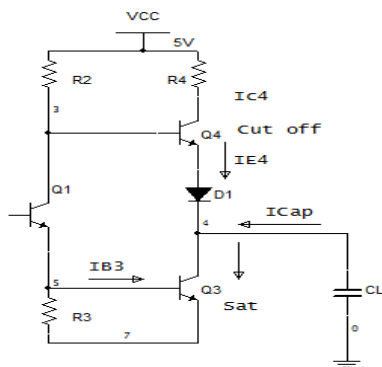


Gambar 4. Rangkaian aktif *pull-up standard TTL*

Analisis arah arus untuk menentukan *propagation delay* t_{pHL} ditunjukkan dalam Gambar 5. Hasil diperoleh $I_{C3(max)}$ yaitu :

$$I_{C3(Max)} = \beta \cdot i_{B3} = 10 \cdot (3,2) \text{ mA} = 32 \text{ mA}$$

Jadi perhitungan t_{PHL} dengan kapasitor beban $C_L=15$ pf, adalah $t_{PHL} = 0,79$ ns. Maka diperoleh *time propagation delay* (t_{PD}) yaitu 1,15 ns.



Gambar 5. Rangkaian aktif pull-down standard TTL

IV. SIMULASI DAN PENGAMBARAN LAYOUT IC

Simulasi yang dilakukan menggunakan software PSPICE meliputi simulasi karakteristik transfer alih tegangan (VTC) untuk mengetahui besarnya nilai $V_{IL}, V_{IH}, V_{OL}, V_{OH}$, *noise margin* dan simulasi *propagation delay* untuk mengetahui besarnya nilai t_{PHL}, t_{PLH}, t_r dan t_f . Pada simulasi VTC rangkaian diberi tegangan masukan DC sebesar 5V dengan kapasitor beban ($C_L=15$ pf), dan $R_L=5,2k$. Pada suhu $125^\circ C$ pada grafik VTC ada peningkatan tegangan output (V_{OH}), sedangkan suhu $-55^\circ C$ terjadi penurunan V_{OH} , dibandingkan pada suhu ruang, sedangkan untuk parameter V_{IH} dan V_{OL} berbanding terbalik. Kemudian hasil keseluruhan grafik VTC dideskripsikan dalam Gambar 6. Dan hasil simulasi *time propagation delay* TTL AOI menggunakan beban kapasitor (C_L) 15 pf, ditunjukkan dalam Gambar 7.

A. Perbandingan hasil simulasi

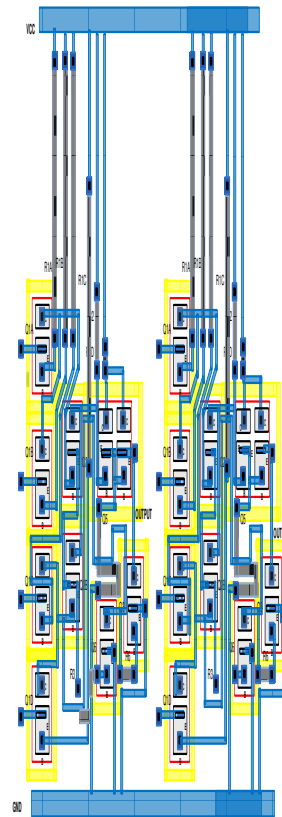
Pada Tabel III ditunjukkan perbandingan antara hasil simulasi dan *Datasheet* IC dengan beragam suhu menggunakan beban kapasitor (C_L) = 15 pf dan $R_L=5,2$ k Ω .

TABLE III
PERBANDINGAN ANTARA HASIL SIMULASI DAN DATASHEET PADA BERAGAM SUHU

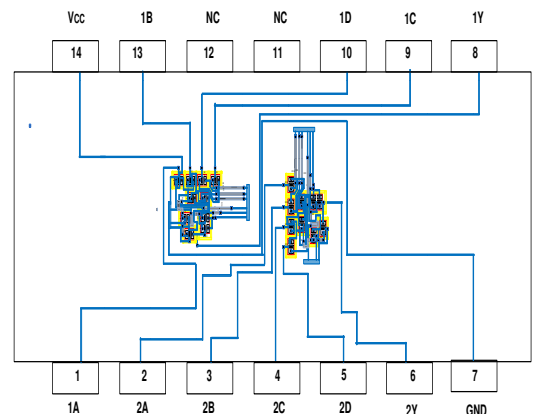
Symbol parameter	Hasil simulasi		Data Sheet		unit
	-55 °C	27 °C	125 °C	27 °C	
V_{OH}	3,18	3,43	3,69	3,4	V
V_{OL}	0,045	0,061	0,082	0,5	V
V_{IH}	1,70	1,47	1,16	2,0	V
V_{IL}	0,70	0,60	0,304	0,8	V
N_{ML}	0,655	0,53	0,22	0,3	V
N_{MH}	1,48	1,94	2,53	1,4	V
t_{PLH}	1,59	1,53	1,54	13,0	ns
t_{PHL}	0,81	0,77	0,75	8,0	ns
t_r	3,18	3,06	3,08	26,0	ns
t_f	1,62	1,54	1,50	16	ns
t_{PD}	1,20	1,16	1,14	10,5	ns
P_D	26,7	27,9	29,4	55	mW

B. Layout IC TTL dual 2-wide 2-input

Hasil layout TTL AOI dual 2-wide 2-input dideskripsikan menggunakan microsoft Visio 2007 tanpa I/O pad dengan ukuran layout sebesar 3950 μm x 3085 μm ditunjukkan dalam Gambar 8.



Gambar 8. Layout IC TTL AOI tanpa I/O pad



Gambar 9. Layout IC TTL AOI dengan I/O pad

Jika layout menggunakan I/O pad dengan ukuran layout sebesar 19,50 mm x 9,36 mm ditunjukkan dalam Gambar 9. ; dibandingkan dengan hasil layout berdasarkan *datasheet* IC TTL AOI sebesar 19,50 mm x 10 mm[10].

V. KESIMPULAN

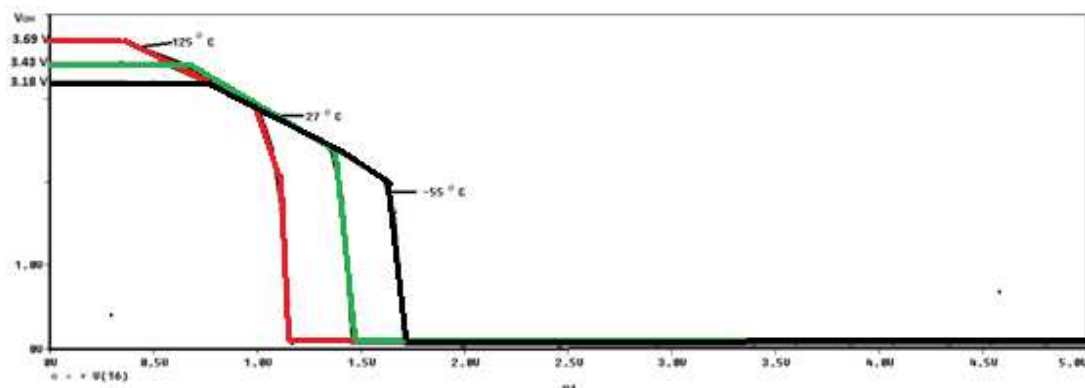
Kinerja rangkaian IC standard TTL AOI dual 2-wide 2-input memiliki waktu propagasi lebih cepat; berdasarkan simulasi dengan beban kapasitor 15pf,

peningkatan kecepatan 9,8 kali dibandingkan datasheet TTL AOI SN54LS51.

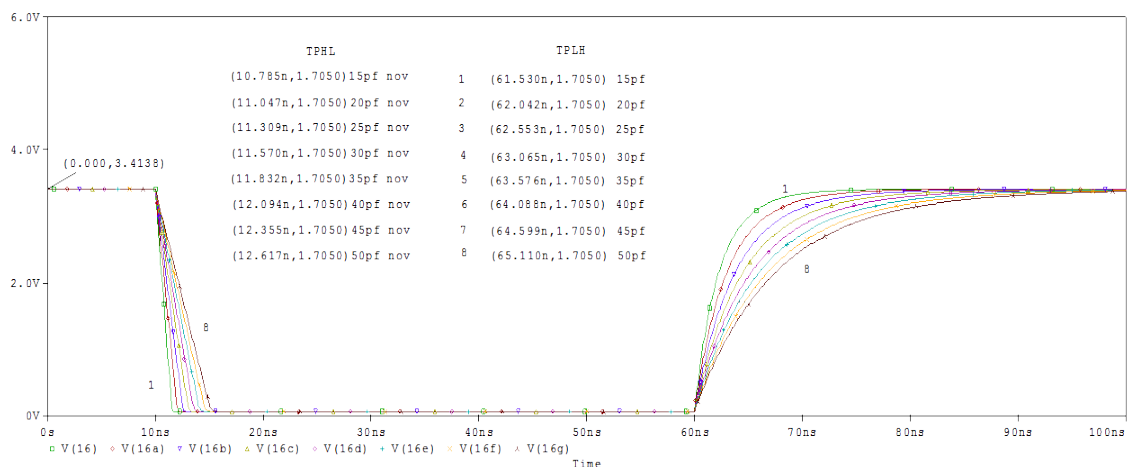
Karakteristik transfer alih tegangan (VTC) yang dihasilkan pada suhu minimum (-55°C) kurang maksimal dibandingkan pada suhu 27°C dan suhu 125°C . Untuk IC *standard* TTL AOI hasil simulasi disipasi daya (P_D) yang dihasilkan pada perancangan TTL AOI lebih kecil dibandingkan pada rangkaian *standard datasheet*.

REFERENSI

- [1] Muhammad H.Rashid.2011.Microelectronic Circuits:Analysis and Design.PWS publishing company.Boston.
- [2] J.-Y. Lee, S. Singh, and J. A. Cooper, 2008. "Demonstration and characterization of bipolar monolithic integrated circuits in 4H-SiC,"*IEEE Trans. Electron Devices*, vol. 55, no.8.
- [3] Singh S., and J. A. Cooper, 2011. "Bipolar integrated circuits in 4H-SiC,"*IEEE Trans. Electron Devices*, PP 99, no 1.
- [4] Adel S. Sedra, Kenneth C. Smith, 2004.Microelectronic Circuit Fifth Edition Oxford university press, New York.
- [5] John E Ayers.2004. Digital integrated circuits. CRC Press LLC.University of Connecticut. Boca Raton London New York Washington, D.C.
- [6] Gray, Hurst, Lewis, Meyer, dkk. 2001. Analysis and Design of Analog Integrated Circuit. fourth Edition. John Wiley & Sons Ltd.. New York
- [7] Kurt Hoffmann.2004.System Integration From Transistor Design to Large Scale Integrated Circuits, John Wiley & Sons Ltd, The Atrium, Southern Gate, Chichester,West Sussex PO19 8SQ, England.
- [8] Richard C Jaeger, Travis N. Blalock.2011..Microelectronic Circuit Design, Fourth Edition Published by McGraw-Hill, a business unit of The McGraw-Hill Companies, Inc., 1221 Avenue of the Americas, New York.
- [9] March Cahay , ECECS 352: Electronics II (Spring 2012), [Online].Available : <http://www.ece.uc.edu/~mcahay/>
- [10] National *Semiconductor Data Sheet*, Products Inc.,Texas , 1988.



Gambar 6. Hasil simulasi VTC TTL AOI



Gambar 7. Hasil simulasi time propagation delay TTL AOI