

PHÂN TÍCH HIỆU NĂNG CỦA CÁC THIẾT KẾ SRAM TRÊN CÔNG NGHỆ TSMC 90nm CMOS

PERFORMANCE ANALYSIS OF SRAM DESIGNS USING TSMC 90nm CMOS TECHNOLOGY

Phạm Văn Khoa^{1*}, Nguyễn Duy Thông²

¹Trường Đại học Sư phạm Kỹ thuật Tp. Hồ Chí Minh

²Trường Đại học Quy Nhơn

*Tác giả liên hệ: khoapv@hcmute.edu.vn

(Nhận bài: 12/7/2021; Chấp nhận đăng: 10/01/2022)

Tóm tắt - Bộ nhớ đệm được cấu tạo từ các ô nhớ truy xuất ngẫu nhiên tĩnh (static random access memory - SRAM) là một thành phần rất quan trọng trên các máy tính hiện đại nhằm để giảm độ trễ do sự tách biệt giữa bộ xử lý và bộ nhớ. Các thiết kế bộ nhớ SRAM cần có sự ổn định trong các hoạt động ghi, đọc và giữ dữ liệu. Nghiên cứu đã phân tích và so sánh các lợi điểm có được của thiết kế 8 transistor (8T) so với 6 transistor (6T) được dùng cho các ô nhớ SRAM. Thiết kế 8T với diện tích thiết kế nhỏ trong khi có thể cải thiện đáng kể độ ổn định. Hoạt động của bộ nhớ 32 bit được trình bày một cách chi tiết sử dụng công cụ thiết kế CADENCE SPECTRE trên công nghệ bán dẫn kim loại ô-xít bán (Complementary Metal Oxide Semiconductor - CMOS) kích thước 90nm. Bên cạnh đó, nghiên cứu đưa ra một phân tích và so sánh chi tiết công suất tiêu thụ và thời gian trì hoãn với các điều kiện hoạt động khác nhau trên từng thiết kế.

Từ khóa - Bộ nhớ truy xuất ngẫu nhiên tĩnh; công suất tiêu thụ; thời gian trì hoãn; biên độ nhiễu tín hiệu; thiết kế ô nhớ SRAM 8T

Abstract - Cache memory, which is built up of static-random-access-memory (SRAM) cells, is an important part in computer aiming to reduce latency caused by the separation of processor and external memory. Designing of SRAM must consider stability in operation of holding, writing, and reading. This study analyses and shows advantages in using eight-transistor (8T) structure in compared with normal six-transistor (6T) one for the SRAM cell. The 8T structure occupies a small area while significantly enhancing the stability. The operation of the 32-bit memory based on the 90nm complementary metal oxide semiconductor (CMOS) technology is described in detailed by using the CADENCE SPECTRE tool. Additionally, this study analyses and compares the power consumption, the delays in reading and writing operations of each structure under various simulated scenarios.

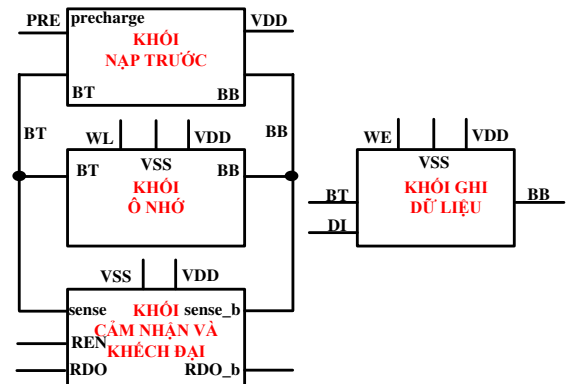
Key words - Static random access memory; power consumption; delay; signal noise margin; 8T-SRAM cell design

1. Đặt vấn đề

Trong suốt nhiều thập kỷ qua, công nghệ vi mạch CMOS đã thực sự đóng một vai trò to lớn trong công nghiệp sản xuất các bộ nhớ bán dẫn [1-3]. Trong kiến trúc phân cấp bộ nhớ trên hầu hết các máy tính hiện đại, do ở vị trí gần nhất với bộ xử lý, thiết kế bộ nhớ đệm ảnh hưởng lớn đến hiệu năng của máy tính. Bộ nhớ đệm được chế tạo từ các ô nhớ truy xuất ngẫu nhiên tĩnh (SRAM) để lưu trữ lệnh và dữ liệu tạm thời trước khi được đưa vào bộ xử lý trung tâm nhằm để giảm hiện tượng thất cổ chai sinh ra đối với kiến trúc máy tính Von-Neumann [1-2]. Ngày nay, với nền tảng kết nối vạn vật (IoT) các thiết kế máy tính xuất hiện ở khắp mọi nơi trên hầu hết các thiết bị điện tử nhúng đã đặt ra nhiều thách thức mới về diện tích thiết kế, năng lượng tiêu thụ, và tốc độ hoạt động [2-4].

2. Kiến trúc bộ nhớ SRAM

Bộ nhớ SRAM hoàn chỉnh bao gồm một mảng các ô nhớ đi kèm với các khối ngoại vi như khối giải mã hàng, giải mã cột, khối cảm nhận và khuếch đại (sense amplifier-SA), khối ghi dữ liệu (write driver) và khối nạp trước (precharge circuit) [1-5]. Các khối đi kèm cho phép việc ghi/đọc dữ liệu vào/ra ô nhớ. Hình 1 thể hiện sơ đồ khối thực thi hoạt động ghi/đọc dữ liệu lên ô nhớ SRAM. Thiết kế bao gồm 4 khối cơ bản: Khối nạp trước; Khối đọc dữ liệu với nguyên lý cảm nhận và khuếch đại tín hiệu; Khối ghi dữ liệu vào ô nhớ; Và khối lưu trữ dữ liệu là các ô nhớ.



Hình 1. Sơ đồ khối thực thi hoạt động ghi/đọc dữ liệu lên ô nhớ SRAM

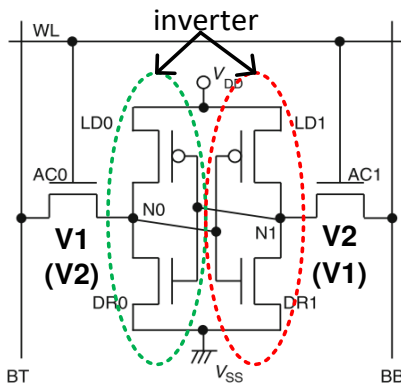
Các khối cơ bản trong thiết kế SRAM được liên kết với nhau thông qua các đường BT (bitline true) và BB (bitline bar) tương ứng. VDD và VSS là đường cấp nguồn trên các khối. Tín hiệu PRE (precharge) cho phép mạch nạp trước hoạt động, khi đó các đường tín hiệu BT và BB sẽ được kéo lên VDD. Các đường sense và sense_b được kết nối tương ứng với BT và BB. Tín hiệu REN (read enable) trong khối cảm nhận và khuếch đại cho phép dữ liệu được lưu trữ trong ô nhớ SRAM được đọc ra ở hai đường dữ liệu tương ứng là RDO (read out) và RDO_b (read out bar). Trong khối ghi dữ liệu, tín hiệu ngõ vào DI (data input) qui định giá trị của

¹ University of Technology and Education, Hochiminh City (Pham Van Khoa)

² Quy Nhon University (Nguyễn Duy Thông)

bit dữ liệu cần ghi vào ô nhớ. **WE** (write enable) là tín hiệu cho phép khối ghi dữ liệu hoạt động. Trong khối ô nhớ SRAM, tín hiệu **WL** (wordline) được điều khiển bởi bộ giải mã địa chỉ nhằm cho phép truy cập vào ô nhớ xác định trong bộ nhớ SRAM để thực hiện hoạt động ghi/đọc.

Thiết kế của ô nhớ SRAM thông thường được hình thành từ 6 transistor như thể hiện trong Hình 2. Trong đó, 4 transistor gồm **LD0**, **DR0**, **LD1**, **DR1** được sử dụng để tạo nên 2 cổng đảo; 2 transistor **AC0** và **AC1** được điều khiển bởi tín hiệu **WL** cho phép kết nối điểm **N0** và **N1** với đường **BT** và **BB** tương ứng khi **WL** = '1'. Ngõ vào/ra của 2 cổng đảo được thiết kế kết nối dạng hồi tiếp dương tạo thành thiết kế flip-flop để lưu trữ dữ liệu nhị phân tại các vị trí **N0** và **N1**. Giá trị dữ liệu được lưu trữ sẽ được đưa đến các đường **BT** và **BB** thông qua việc đóng/ngắt các transistor **AC0** và **AC1** tương ứng.



Hình 2. Thiết kế ô nhớ SRAM với 6 transistor

3. Hoạt động cơ bản

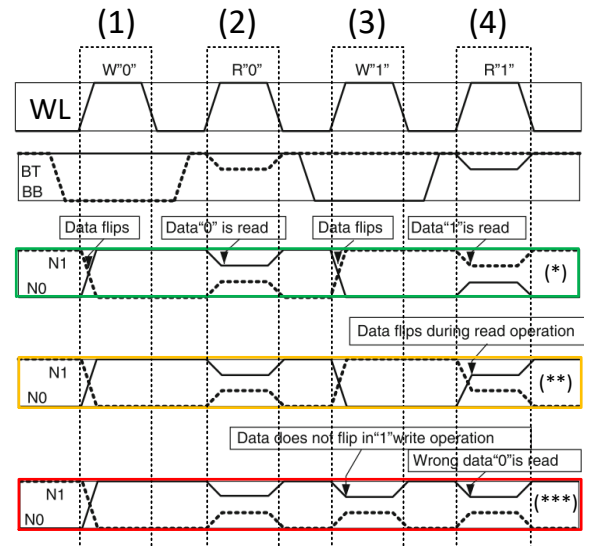
Bộ nhớ truy xuất ngẫu nhiên tĩnh có 3 chế độ hoạt động cơ bản gồm ghi, đọc và giữ dữ liệu. Trong chế độ giữ dữ liệu, thì đường tín hiệu **WL** sẽ không được kích hoạt. Điều này dẫn đến các transistor **AC0** và **AC1** ngừng dẫn, đường tín hiệu **BT** và **BB** bị cách ly hoàn toàn với ô nhớ lưu trữ dữ liệu. Do đó, ô nhớ SRAM sẽ lưu trữ trạng thái dữ liệu được ghi trước đó. Dạng sóng các hoạt động cơ bản của SRAM gồm 4 giai đoạn nhằm thể hiện một số trường hợp ghi và đọc dữ liệu lên ô nhớ SRAM được minh họa trong Hình 3. Trong đó, trường hợp các hoạt động ghi/đọc không phát sinh lỗi được thể hiện ở khung đánh dấu (*). Các khung đánh dấu (**) và (***) tương ứng thể hiện trường hợp phát sinh lỗi ở hoạt động đọc và ghi trên bộ nhớ SRAM.

Tại giai đoạn 1, khi ghi dữ liệu '0' vào ô nhớ, điểm **N1** và **N0** sẽ được mạch ghi dữ liệu thiết lập giá trị '0' và '1' tương ứng. Ở giai đoạn 2, khi dữ liệu '0' được đọc từ ô nhớ, cả 2 đường **BT** và **BB** được nạp một điện áp mức cao thông qua mạch nạp trước và sau đó đường tín hiệu **WL** sẽ được kích hoạt mức cao. Lúc này, dữ liệu được lưu trữ trong ô nhớ sẽ được đưa ra đường **BT/BB**. Điều này sẽ tạo ra một sự khác biệt điện áp trên đường dữ liệu **BT/BB**. Sự khác biệt về mặt điện áp này sẽ được khuếch đại bởi mạch khuếch đại và cảm nhận sau đó dữ liệu được lưu trữ trong ô nhớ sẽ truy xuất ra bên ngoài. Như vậy, hoạt động đọc trên thiết kế 6T có thể ảnh hưởng đến dữ liệu được lưu trữ trên ô nhớ khi đường **WL** được kích hoạt. Trong giai đoạn 3 và 4 thể hiện hai trường hợp lỗi phát sinh trong quá trình ghi và đọc

dữ liệu ô nhớ SRAM. Trong quá trình đọc dữ liệu thể hiện trong khung đánh dấu (**), lỗi phát sinh là do dữ liệu đọc ra tại điểm **N0/N1** bị thay đổi so với dữ liệu được ghi vào trước đó. Trong quá trình ghi dữ liệu, lỗi phát sinh khi tại điểm **N0/N1** dữ liệu không được thiết lập đúng mức điện áp ghi mong muốn, như được minh họa trong khung đánh dấu (***) của Hình 3.

4. Cải thiện biên độ tín hiệu nhiễu

Các trường hợp ô nhớ không giữ được dữ liệu đã ghi, đọc không đúng dữ liệu được ghi trước đó, hoặc ghi sai dữ liệu mong muốn vào ô nhớ đều làm giảm độ tin cậy trong việc lưu trữ và truy xuất của thiết kế SRAM [1, 3, 4, 5]. Nhằm đánh giá sự ổn định của thiết kế SRAM đối với các hoạt động cơ bản, các nhà thiết kế thường dựa trên phân tích biên độ nhiễu tín hiệu (signal noise margin - SNM) [5-6]. Yếu tố này thể hiện phạm vi nhiễu điện áp cho phép mà ô nhớ SRAM có thể duy trì trạng thái hoạt động ổn định và không phát sinh các lỗi như nêu trên. Trên thực tế, sự dao động của điện áp cung cấp và sự thay đổi lớn của nhiệt độ hoạt động có thể là những nguyên nhân dẫn đến phát sinh lỗi trong quá trình ghi/đọc của bộ nhớ [6]. Bên cạnh đó, tham số SNM cũng liên quan đến giá trị điện áp ngưỡng (V_{TH}) của các transistor loại NMOS (N-type metal oxide semiconductor) và loại PMOS (P-type metal oxide semiconductor) trong ô nhớ SRAM [1, 3, 4, 5, 6].

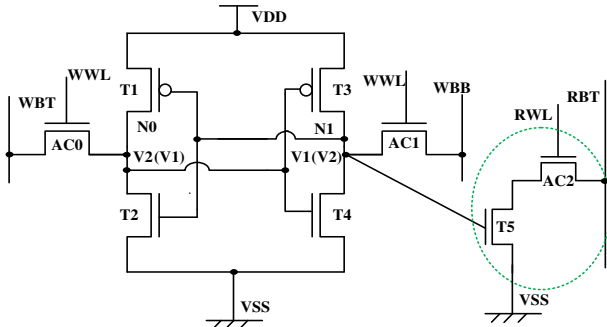


Hình 3. Dạng sóng hoạt động ghi/đọc dữ liệu trong trường hợp thông thường và phát sinh lỗi

Sự ổn định trong hoạt động đọc của ô nhớ là một tham số rất quan trọng trong thiết kế SRAM. Một số phương pháp đã được đề xuất để nâng cao độ ổn định cho tham số này bao gồm thay đổi thiết kế trong mạch đọc dữ liệu, giảm thời gian cần thiết để cảm nhận dữ liệu được lưu trữ trên ô nhớ hoặc tăng giá trị điện áp ngưỡng V_{TH} [6-9]. Tuy nhiên, giá trị điện áp ngưỡng thường bị giới hạn trong một phạm vi nhất định để đảm bảo sự hoạt động ổn định của các transistor [1, 3, 6, 7]. Bên cạnh thiết kế tiêu chuẩn với 6 transistor cho mỗi ô nhớ SRAM, nhiều thiết kế đã được đề xuất nhằm xây dựng nên các ô nhớ SRAM thỏa mãn được tham số ổn định trong các hoạt động cơ bản cũng như các ràng buộc về mặt diện tích, công suất, và thời gian trễ truy xuất [3-9]. Ngoài đánh giá hoạt

động của thiết kế 6T, nghiên cứu này khảo sát một giải pháp thay thế với ô nhớ được tạo thành từ 8 transistor (thiết kế 8T).

Thiết kế 8T cơ bản được dựa trên thiết kế SRAM chuẩn với ô nhớ gồm 6 transistor. Trong đó, thiết kế 8T tách biệt 2 phần ghi và đọc dữ liệu lên ô nhớ SRAM được thể hiện bằng đường tròn đứt nét như minh họa trong Hình 4. Các transistor **AC0** và **AC1** được điều khiển bởi các tín hiệu truy cập ghi ký hiệu là **WWL** (write wordline), **AC2** được điều khiển bởi tín hiệu truy cập đọc **RWL** (read wordline). Các đường **WBT** (write bitline), **WBB** (write bitline bar) là đường để đưa dữ liệu ghi vào ô nhớ SRAM. Trong khi đó, đường tín hiệu **RBT** (read bitline) là để đọc dữ liệu từ ô nhớ SRAM. Ưu điểm việc tách biệt 2 phần ghi và đọc trên thiết kế 8T làm cải thiện đáng kể SNM trong hoạt động đọc khi không ảnh hưởng đến hoạt động ghi dữ liệu cũng như dữ liệu được ghi trước đó lên ô nhớ. So sánh với thiết kế 6T, thiết kế mới được xem là bất đối xứng vì chỉ sử dụng đường **RBT** để đọc dữ liệu. Trong hoạt động đọc, trước tiên đường **RBT** sẽ được kéo lên mức điện áp V_{DD} , sau đó phụ thuộc vào giá trị bit được lưu trữ trong ô nhớ mà đường **RBT** sẽ được kéo xuống mức 0 hoặc giữ nguyên trạng thái. Mạch đọc dữ liệu trong thiết kế 8T cũng được thay đổi so với thiết kế 6T để phù hợp cho thiết kế bất đối xứng của ngõ ra đọc dữ liệu.



Hình 4. Thiết kế ô nhớ SRAM với 8 transistor

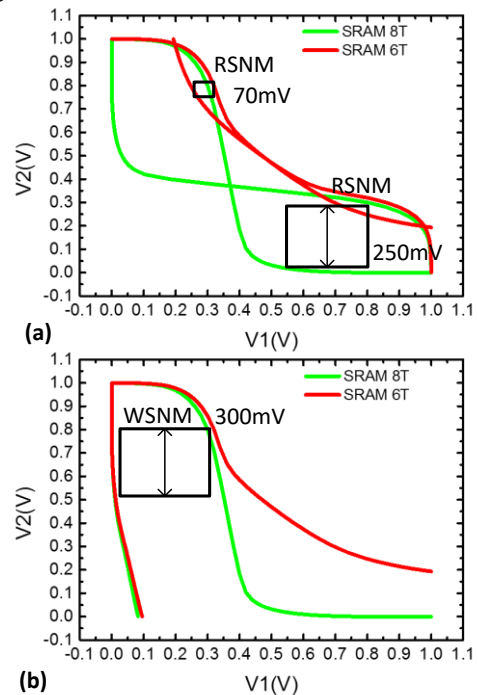
Diện tích thiết kế là một trong những yếu tố quan trọng trong việc đánh giá độ tối ưu của bộ nhớ. Trong trường hợp sử dụng công nghệ CMOS 90nm, thiết kế SRAM 6T đòi hỏi cần phải điều chỉnh tăng tỉ số kích thước giữa các transistor **DR0/AC0** (**DR1/AC0**) cũng như tỉ lệ kích thước giữa **LD0/AC0** (**LD1/AC1**) như minh họa trong Hình 2. Việc điều chỉnh này nhằm làm tăng giá trị của biên độ nhiễu tín hiệu trong cả hoạt động ghi và đọc. Trên thực tế đối với công nghệ CMOS 90nm thì các transistor **DR0** hoặc **DR1** phải có kích thước lớn hơn nhiều so với **LD0** hoặc **LD1** để thỏa mãn các yêu cầu về biên độ nhiễu tín hiệu trong hoạt động đọc (Read Signal Noise Margin- RSNM) và ghi (Write Signal Noise Margin-WSNM). Như minh họa trong Hình 4, khi so sánh với thiết kế 6T thì thiết kế SRAM 8T cần thêm 2 transistor. Tuy nhiên, trong thiết kế 8T tỉ lệ giữa các transistor này không cần quá lớn vì giải pháp với 2 cổng ghi và đọc riêng biệt của thiết kế 8T đã giải quyết vấn đề về SNM như đã nêu trên. Thiết kế 8T cần thêm 2 transistor ở cổng đọc dữ liệu có thể dẫn đến diện tích thiết kế SRAM 8T lớn hơn từ 10% đến 30% so với thiết kế 6T ở cùng công nghệ CMOS 90nm [1, 10]. Ngày nay, với sự phát triển nhanh chóng của công nghệ CMOS dẫn đến kích thước của các transistor ngày một giảm. Bên cạnh đó, một số phương pháp [7, 10, 11] đã được đề xuất trong việc bố trí các transistor nhằm làm cho diện tích thiết kế của 2 phương pháp là tương

đương. Thậm chí ở các công nghệ CMOS tiên tiến kích thước nhỏ như 32nm thì thiết kế 8T đạt được hiệu quả tốt hơn 14.6% về diện tích khi được so sánh với thiết kế 6T [10].

5. Kết quả mô phỏng

5.1. Biên độ nhiễu tín hiệu

Để mô phỏng hoạt động của thiết kế SRAM 6T và 8T, nghiên cứu sử dụng công nghệ CMOS kích thước 90nm của hãng TSMC [12] cùng phần mềm thiết kế vi mạch CADENCE SPECTRE [13]. Ngày nay, các công nghệ CMOS kích thước nhỏ dưới 45nm có đặc tính tốc độ nhanh và giá thành cao thông thường được sử dụng để sản xuất bộ nhớ đệm dành cho các dòng vi xử lý trên các máy tính có hiệu năng cao [14]. Tuy nhiên, công nghệ CMOS 90nm với đặc tính công suất và chi phí sản xuất thấp vẫn được sử dụng hiện nay trong việc thiết kế và chế tạo các bộ nhớ dữ liệu trên các dòng vi điều khiển hiệu năng thấp, giá thành rẻ ứng dụng trong lĩnh vực kết nối vạn vật (Internet of Thing – IoT) [15]. Bên cạnh đó, TSMC 90nm hỗ trợ thư viện mã nguồn mở sẽ là điều kiện thuận lợi để đưa các kết quả nghiên cứu vào sản xuất thực tế.



Hình 5. Biên độ tín hiệu trên nhiễu của thiết kế 6T và 8T trong (a) hoạt động đọc (b) hoạt động ghi

Hình 5(a) và 5(b) thể hiện đường cong SNM trong hoạt động đọc (RSNM) và ghi (WSNM) dữ liệu trên thiết kế 6T và 8T tương ứng. Thiết kế được mô phỏng tại điều kiện nhiệt độ chuẩn $T = 27^{\circ}\text{C}$ và điện áp hoạt động $V_{DD} = 1\text{V}$. Như được trình bày ở phần trước, biên độ nhiễu tín hiệu SNM thể hiện giá trị lớn nhất của nhiễu điện áp mà một ô nhớ SRAM có thể duy trì và hoạt động ổn định mà không làm ảnh hưởng đến giá trị ghi vào trước đó. Hình 5 thể hiện sự thay đổi trạng thái tại điểm $N0/N1$ của ô nhớ SRAM dưới sự thay đổi của điện áp $V1/V2$. Có thể thấy, thiết kế 8T cải thiện RSNM tăng khoảng 3.5 lần từ 70mV lên 250mV cho hoạt động đọc so sánh với thiết kế 6T. Đối với hoạt động ghi, vì cơ bản phần ghi dữ liệu trong thiết kế 8T kế thừa từ thiết kế 6T vì thế thông số WSNM của 2 thiết kế xấp xỉ là 300mV.

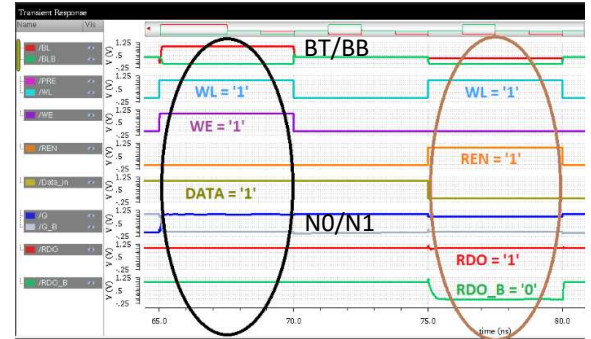
5.2. Hoạt động ghi/đọc trên bộ nhớ

Hoạt động ghi và đọc trên thiết kế ô nhớ SRAM 6T tại tần số 100Mhz được thể hiện chi tiết thông qua Hình 6. Đối với trường hợp ghi/đọc bit '1' trong Hình 6(a), tại thời điểm $t = 65\text{ns}$, ô nhớ được chọn khi các transistor **AC0** và **AC1** được mở thông qua việc tích cực tín hiệu **WL** ở điện áp mức cao. Sau đó, tín hiệu **WE** = '1' để báo cho khối ghi dữ liệu đưa mức điện áp tại chân **DI** vào bên trong ô nhớ SRAM. Như thể hiện trong Hình 2, khi các transistor **AC0/AC1** được mở với tín hiệu **WL** = '1', các điểm **N0/N1** lần lượt thể hiện mức điện áp tương ứng của dữ liệu được ghi vào.

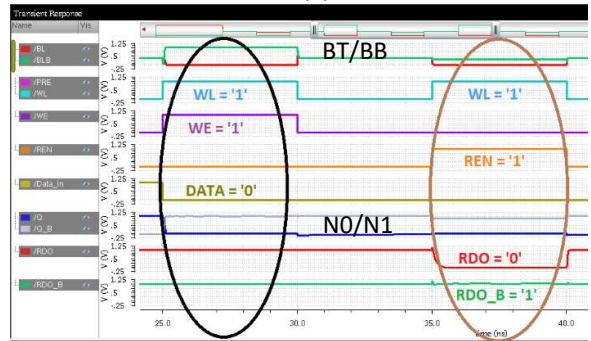
Trong trường hợp dữ liệu được ghi vào **DI** = '1' thì **N0** = '1' và **N1** = '0' tương ứng và ngược lại **N0** = '0' và **N1** = '1' khi ghi dữ liệu '0' vào ô nhớ như thể hiện ở Hình 6(b). Đối với hoạt động đọc dữ liệu, ô nhớ cần được chọn trước thông qua việc tích cực tín hiệu **WL**. Sau đó, tín hiệu **REN** tại khối khách đại và cảm nhận cho phép đọc dữ liệu trên ô nhớ. Tín hiệu **RDO** thể hiện giá trị được đọc ra từ ô nhớ SRAM. Trong trường hợp dữ liệu được ghi trước đó là '1' thì trong hoạt động đọc **RDO** = '1' và **RDO_B** = '0' và ngược lại nếu dữ liệu được ghi trước đó là '0'.

Để minh họa các hoạt động cơ bản kết hợp việc đánh giá các thông số công suất tiêu thụ và thời gian truy cập của bộ nhớ hoàn chỉnh, nghiên cứu đã xây dựng một bộ nhớ SRAM có dung lượng 32 bit nhớ với 8 transistor cho mỗi ô nhớ. Như trình bày ở phần trước, Hình 1 minh họa hoàn chỉnh sơ đồ khối cho một thiết kế ghi/đọc dữ liệu lên ô nhớ SRAM. Dựa theo thiết kế trên, một mảng ô nhớ 32 bit được chia thành 4 hàng riêng biệt với 8 ô nhớ trên mỗi hàng. Các hàng này được kích hoạt thông qua một bộ giải mã địa chỉ với các tín hiệu ngõ ra tích cực mức cao lần lượt là **WL[1:4]** như thể hiện trong sơ đồ dạng sóng tại Hình 7. Như trình bày ở phần nguyên lý hoạt động,

WE và **REN** là các tín hiệu cho phép ghi và đọc dữ liệu vào ô nhớ. Các đường tín hiệu **DI[1:8]** nằm trên khối ghi dữ liệu thể hiện cho 8 bit dữ liệu ngõ vào cần được ghi lên bộ nhớ trong hoạt động ghi. Bên cạnh đó, các đường tín hiệu **RDO[1:8]** là các ngõ ra trên khối khách đại và cảm nhận thể hiện các dữ liệu được đọc ra từ các ô nhớ SRAM trong hoạt động đọc.

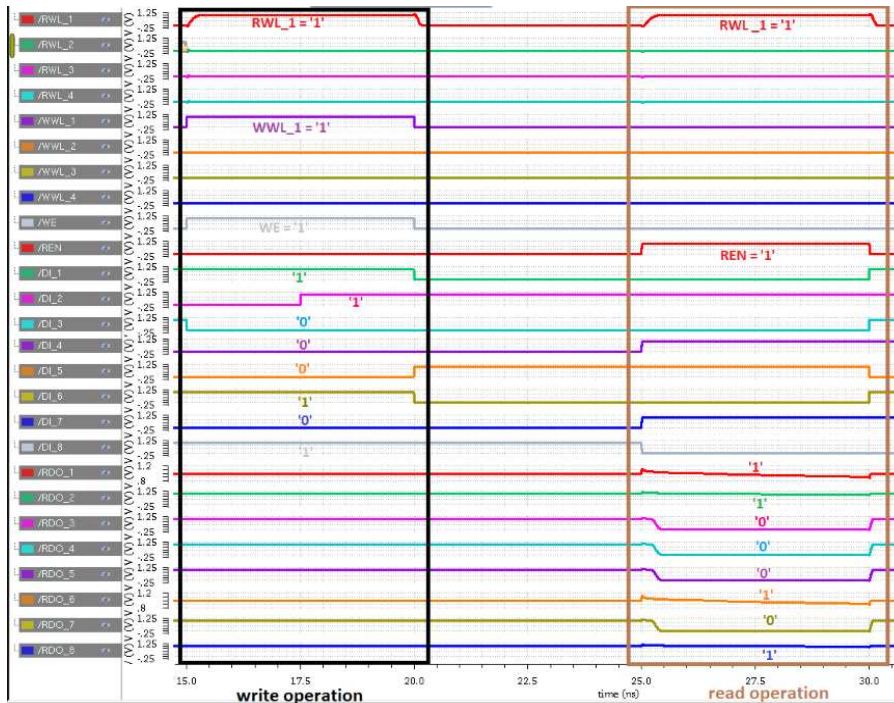


(a)



(b)

Hình 6. Hoạt động ghi/đọc dữ liệu SRAM tại tần số 100Mhz
(a) dữ liệu bit '1' (b) dữ liệu bit '0'



Hình 7. Hoạt động ghi/đọc dữ liệu của thiết kế SRAM gồm với 4 hàng 8 cột tại tần số 100Mhz trong đó mỗi ô nhớ được hình thành từ 8 transistor

Hình 7 minh họa hoạt động của bộ nhớ tại tần số 100Mhz, để thực hiện thao tác ghi 8 bit dữ liệu "10100011"

lên hàng đầu tiên **WL[1]** của bộ nhớ, tại thời điểm $t = 15\text{ns}$, tín hiệu **WL[1]** được tích cực mức cao từ bộ giải mã địa

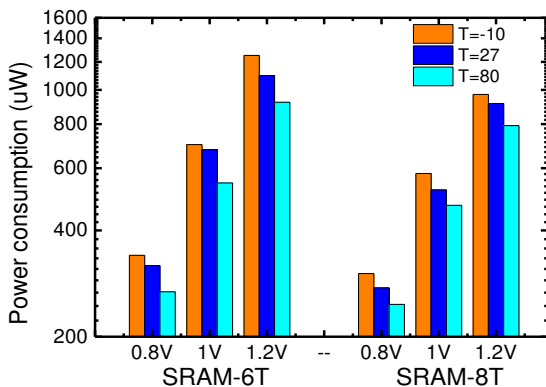
chỉ, tín hiệu **WE** = '1' để báo cho khối ghi dữ liệu thực hiện việc ghi dữ liệu vào các ô nhớ. Như vậy, 8 bit dữ liệu **DI**[1:8] trên 8 khối ghi dữ liệu lần lượt sẽ được thể hiện ở các đường **BT** và **BB**[1:8] tương ứng. Trong hoạt động đọc, địa chỉ của hàng cần đọc được xác định trước bằng tín hiệu **RWL** = '1'. Sau đó, tín hiệu **REN** được tích cực mức cao cho phép các dữ liệu được ghi trên các ô nhớ trước đó được thể hiện trên các đường **RDO**[1:8]. Như minh họa bằng Hình 7 tại thời gian $t = 25\text{ns}$, **RDO**[1:8] = "10100011" xác nhận thiết kế bộ nhớ đã hoạt động ghi và đọc đúng dữ liệu.

5.3. Công suất tiêu thụ

Công suất tiêu thụ của thiết kế bao gồm thành phần công suất tĩnh và công suất động. Trong đó, công suất động ($P_{dynamic}$) là thành phần ảnh hưởng chính đến tổng công suất tiêu thụ của thiết kế trong trạng thái hoạt động. Thành phần này bị ảnh hưởng bởi các yếu tố như điện áp (V_{DD}), điện dung tải (C) và tần số hoạt động của thiết kế (f) [1] theo công thức:

$$P_{dynamic} = CV_{DD}^2 f \quad (1)$$

Dựa vào công thức (1), có thể thấy, được sự thay đổi của điện áp hoạt động (V_{DD}) sẽ làm thay đổi đáng kể công suất tiêu thụ. Bên cạnh đó, khi xét về sự ổn định của hệ thống sử dụng công nghệ CMOS thì sự thay đổi của nhiệt độ làm việc cũng cần được phân tích. Nếu nhiệt độ có chiều hướng tăng sẽ làm cho dòng điện đi qua transistor giảm. Ngược lại, biên độ điện áp ngưỡng (V_{TH}) của các transistor cũng sẽ giảm gần như tuyến tính với sự thay đổi giảm của nhiệt độ hoạt động [1]. Vì thế, để phân tích cả 2 yếu tố về sự biến thiên của điện áp hoạt động và sự tác động của nhiệt độ làm việc, nghiên cứu đã khảo sát 3 trường hợp mô phỏng gồm nhiệt độ thấp (-10°C), nhiệt độ trung bình (27°C) và nhiệt độ cao (80°C) cũng như tại 3 mức điện áp là 0,8V, 1V và 1,2V lên công suất tiêu thụ và thời gian trì hoãn của các hoạt động ghi và đọc dữ liệu đối với thiết kế 6T và 8T.



Hình 8. Công suất tiêu thụ của thiết kế 6T và 8T tại các mức điện áp hoạt động và nhiệt độ

Theo như kết quả trong Hình 8, dựa trên công thức (1) có thể dễ thấy rằng, ở dải nhiệt độ cao $T = 80^\circ\text{C}$ và điện áp thấp $V_{DD} = 0,8\text{V}$ thì công suất tiêu thụ là thấp nhất trên cả 2 thiết kế. Và ở dải nhiệt độ thấp $T = -10^\circ\text{C}$ và điện áp $V_{DD} = 1,2\text{V}$, công suất tiêu thụ là cao nhất vì điện áp ngưỡng giảm và dòng qua các transistor tăng.

Công suất động phụ thuộc vào tần số hoạt động cũng như giá trị của tụ điện ký sinh trên các đường dữ liệu. Thông thường, thiết kế SRAM sử dụng chung đường **BT/BB** để ghi và đọc dữ liệu như thể hiện trong Hình 1.

Các đường này được chia sẻ trong cấu trúc mảng ô nhớ SRAM, vì thế tồn tại các tụ điện ký sinh với giá trị nhất định. Trong thiết kế 6T, mỗi chu kỳ ghi/đọc dữ liệu vào ô nhớ, các tụ điện này được nạp xả phụ thuộc vào giá trị ghi/đọc. Thiết kế SRAM 8T sử dụng 2 đường ghi và đọc dữ liệu riêng. Sự khác biệt về mặt công suất nằm ở hoạt động đọc trong thiết kế 8T. Trước khi diễn ra hoạt động đọc, các đường bitline đã được đưa lên giá trị mức cao từ hoạt động nạp trước (precharge). Việc xả tụ điện ký sinh trên các đường bitline phụ thuộc vào giá trị lưu trữ trong ô nhớ SRAM muốn đọc ra ngoài. Nếu tại điểm **N1** được minh họa trong Hình 4 có giá trị mức '1' thì tụ điện trên đường **BT/BB** sẽ bị xả. Trong trường hợp ngược lại, thì không có hiện tượng xả trên tụ ký sinh. Điều này góp phần làm cho công suất tiêu thụ trên thiết kế 8T giảm so với 6T. Về mặt công suất tĩnh, nghiên cứu [16] chỉ ra rằng, thiết kế 8T và 6T có lượng công suất rò là tương đương. Như vậy, về tổng thể công suất tiêu thụ của thiết kế 8T là tối ưu hơn so với thiết kế 6T nhờ vào cấu trúc đường ghi/đọc riêng.

5.4. Thời gian trì hoãn

Thời gian trì hoãn cho hoạt động ghi và đọc dữ liệu trên thiết kế 6T và 8T đối với sự biến thiên của nhiệt độ môi trường và điện áp hoạt động được minh họa tương ứng trong Hình 9 và Hình 10. Như trình bày ở phần trên, nhiệt độ làm việc tăng ảnh hưởng xấu đến khả năng hoạt động của thiết kế khi làm tăng thời gian trì hoãn. Ở cả hai thiết kế 6T và 8T, cơ chế ghi dữ liệu và cấu trúc thiết kế ô nhớ cho phần ghi là giống nhau dẫn đến thời gian trì hoãn như nhau cho cả hai thiết kế khi hoạt động ở điện áp ổn định $V_{DD} = 1\text{V}$ và nhiệt độ trung bình $T = 27^\circ\text{C}$ là khoảng 19ps. Thời gian trì hoãn có xu hướng giảm từ 19,4ps xuống 17ps nếu tăng điện áp hoạt động từ $V_{DD} = 1\text{V}$ lên 1,2V được thể hiện trong Hình 9(b). Nếu nhiệt độ hoạt động có xu hướng tăng cao lên đến 80°C thì thời gian trì hoãn cho hoạt động ghi dữ liệu ô nhớ SRAM đo được cao nhất là xấp xỉ là 23ps trên cả hai thiết kế như minh họa ở Hình 9(a).

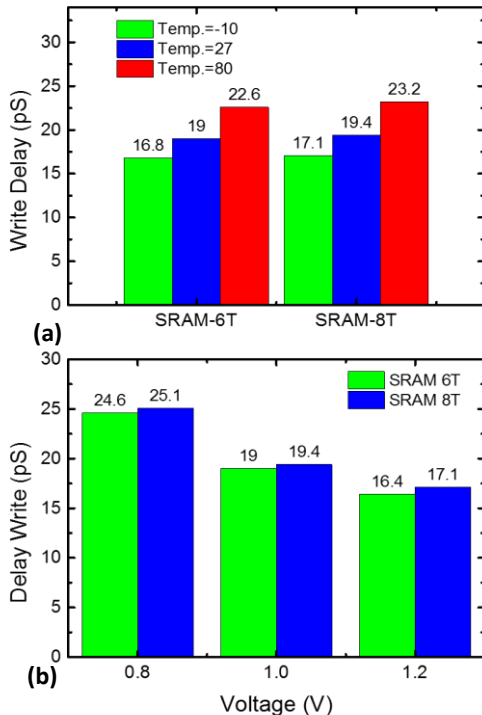
Sử dụng cùng phương pháp như trên, kết quả ở Hình 10 cho thấy, thời gian trì hoãn cho hoạt động đọc trên các thiết kế. Kết quả mô phỏng cho thấy, thời gian trì hoãn có xu hướng tăng lên 50ps và 60ps nếu nhiệt độ tăng lên 80°C và điện áp V_{DD} giảm xuống 0,8V như minh họa trong Hình 10(a). Trong trường hợp, thiết kế hoạt động ở mức điện áp $V_{DD} = 1\text{V}$ và $T = 27^\circ\text{C}$, các thiết kế có thời gian trì hoãn xấp xỉ là 47ps như thể hiện trong Hình 10(b).

Bảng 1. So sánh biên độ nhiễu tín hiệu đọc và độ trễ đọc

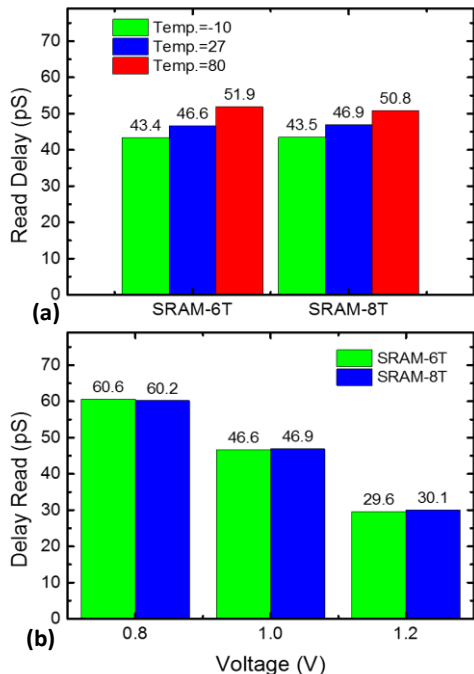
Thiết kế SRAM 8T	SNM đọc (mV)	Độ trễ đọc(ps)
Nghiên cứu này	250	60,2
[17]	415	366
[18]	350	455

Đối với các ứng dụng yêu cầu tốc độ xử lý cao như xử lý và giải mã video thì hoạt động đọc trên bộ nhớ SRAM diễn ra thường xuyên hơn so với các hoạt động ghi. Độ tin cậy của dữ liệu đọc và độ trễ đọc là các yếu tố để đánh giá hiệu năng trong thiết kế bộ nhớ SRAM. Bảng 1 minh họa 2 yếu tố biên độ nhiễu tín hiệu và độ trễ đọc khi so sánh kết quả từ nghiên cứu này với một số nghiên cứu trước đó [17-18]. Bảng so sánh cho thấy, thiết kế 8T trong nghiên cứu có biên độ tín hiệu nhiễu nhỏ hơn nhưng có thời gian

truy xuất nhanh hơn khoảng 6 lần đối với hoạt động đọc dữ liệu khi so sánh với các thiết kế [17-18].



Hình 9. Thời gian trì hoãn trong hoạt động ghi dữ liệu trên thiết kế SRAM 6T và 8T với sự biến thiên của (a) nhiệt độ môi trường, (b) điện áp hoạt động



Hình 10. Thời gian trì hoãn trong hoạt động đọc dữ liệu trên thiết kế SRAM 6T và 8T với sự biến thiên của (a) nhiệt độ môi trường, (b) điện áp hoạt động

6. Kết luận

Nghiên cứu này đã trình bày và minh họa hoàn chỉnh các hoạt động cơ bản gồm ghi, đọc và dữ liệu trên bộ nhớ SRAM đối với các thiết kế 6T và 8T. Trong đó, thiết kế 8T được sử

dụng nhằm cải thiện độ ổn định trong hoạt động đọc và làm giảm công suất tiêu thụ so với thiết kế tiêu chuẩn 6T khi hoạt động ở mức điện áp thấp. Các phân tích về tác động của sự biến thiên về điện áp cung cấp và nhiệt độ hoạt động lên công suất tiêu thụ và thời gian trì hoãn cho các hoạt động ghi và đọc đã được phân tích cụ thể trong nghiên cứu này.

Lời cảm ơn: Nghiên cứu này thuộc đề tài năm 2022 được hỗ trợ kinh phí bởi Trường Đại học Sư phạm Kỹ thuật Tp. Hồ Chí Minh.

TÀI LIỆU THAM KHẢO

- [1] Neil H. E. Weste, David Money Harris, "CMOS VLSI Design: A Circuits and Systems Perspective", Addison Wesley, 2010.
- [2] William Stallings, *Computer Organization and Architecture Designing for Performance*, Pearson, 2016.
- [3] Qazi, M.; Sinangil, M.E.; Chandrakasan, A.P., "Challenges and Directions for Low-Voltage SRAM", *IEEE Design & Test of Computers*, vol. 28, 2011, pp. 32 – 43.
- [4] Koichiro Ishibashi, et al. *Low Power and Reliable SRAM Memory Cell and Array Design*, Springer-Verlag Berlin Heidelberg, 2011.
- [5] Jawar Singh, Dhiraj K. Pradhan, "A single ended 6T-SRAM cell design for ultra low voltage applications", *IEICE Electronic Express*, 2008, pp. 750-755.
- [6] Seevinck, E.; et al. "Static-Noise Margin Analysis of MOS SRAM Cells", *IEEE Journal of Solid-State Circuits*, 22, 1987, pp. 748 - 754.
- [7] Chang, L. Montoye, R. K. Nakamura, Y. Batson, K. A. Eickemeyer, R. J. Dennard, R. H. Haensch, W. Jamsek, D., "An 8T-SRAM for variability tolerance and low-voltage operation in high-performance caches", *IEEE Journal SolidState Circuits*, vol. 43, 2008, pp.956-963.
- [8] Alorda B, et al. "Static and dynamic stability improvement strategies for 6T CMOS low-power SRAMs", *Design automation & test in Europe conference & exhibition*; 2010. p. 429–34.
- [9] K. Takeda et al., "A read-static-noise-margin-free SRAM cell for low-VDD and high-speed applications", *IEEE Journal SolidState Circuits*, vol. 41, 2006, pp. 113 - 121.
- [10] Y. Morita, H. Fujiwara, H. Noguchi, Y. Iguchi, K. Nii, H. Kawaguchi, M. Yoshimoto, "Area comparison between 6T and 8T SRAM cells in dual-Vdd scheme and DVS scheme", *IEICE Trans. Fundam.* 2007, E90-A(12), 2695–2702.
- [11] Y. Morita; etc., "Area Optimization in 6T and 8T SRAM Cells Considering Vth Variation in Future Processes", *IEICE Transactions on Electronics*, 2007, E90-C, 10, 1949 - 1956.
- [12] 90nm Technology - Taiwan Semiconductor https://www.tsmc.com/english/dedicatedFoundry/technology/logic/l_90nm
- [13] CADENCE SPECTRE https://www.cadence.com/en_US/home/tools/custom-icanalog-rf-design/circuit-simulation/spectre-simulationplatform.html
- [14] Ofori-Attah, E.; Bhebhe, W.; Agyeman, M.O. "Architectural Techniques for Improving the Power Consumption of NoC-Based CMPs: A Case Study of Cache and Network Layer", *J. Low Power Electron, Appl.* 2017, 7, 14.
- [15] Jacinto, Syre Aires Destiny V.; etc., "Development of Low Power Full-Custom 1 Kb 8T Synchronous SRAM for Wireless Sensor Network in 90nm CMOS Process Technology", *TENCON IEEE Region 10 Conference*; Korea, 2019.
- [16] Farshad Moradi; Jens K. Madsen, "Improved read and write margins using a novel 8T-SRAM cell", *22nd International Conference on Very Large Scale Integration (VLSI-SoC)*, 2014, Mexico.
- [17] Abhijit Sil, Soumik Ghosh, Magdy Bayoumi, "A Novel 90nm 8T SRAM Cell with Enhanced Stability", *2007 IEEE International Conference on Integrated Circuit Design and Technology*, 2007, USA.
- [18] Deepak Mittal; V.K. Tomar, "Performance Evaluation of 6T, 7T, 8T, and 9T SRAM cell Topologies at 90 nm Technology Node", *2020 11th International Conference on Computing, Communication and Networking Technologies (ICCCNT)*, 2020, India.