

## IMPLEMENTASI PENAPIS DIGITAL LOLOS RENDAH UNTUK PENGOLAHAN SINYAL EEG DENGAN MENGGUNAKAN PRICOBLAZA FPGA

*Debyo Saptono*<sup>1</sup>  
*Matrissya Hermita*<sup>2</sup>  
*Benny Irawan*<sup>3</sup>

<sup>1</sup> *Jurusan Teknik Elektro, Fakultas Teknik, Universitas Gunadarma*

<sup>2</sup> *Jurusan Psikologi, Fakultas Psikologi, Universitas Gunadarma*

<sup>3</sup> *Jurusan Sistem Informasi, FIKTI, Universitas Gunadarma*

<sup>1</sup>*debyo@staff.gunadarma.ac.id*, <sup>2</sup>*matrissya@staff.gunadarma.ac.id*

### Abstrak

*Penapis Digital Lolos Rendah adalah rangkaian elektronika digital yang berfungsi untuk melewatkan sinyal frekuensi yang berada dibawah ambang frekuensi yang ditentukan. Rangkaian ini digunakan untuk menghilangkan komponen DC yang terdapat pada sinyal EEG. Picoblaze merupakan sebuah prosesor yang memiliki 3 buah core yang tertanam di dalam satu chip. Picoblaze merupakan mikrokontroler 8-bit yang didesain khusus untuk diimplementasikan pada FPGA. Prosesor picoblaze dapat diimplementasikan dalam sistem yang besar dan mempunyai fleksibilitas yang tinggi dalam desain berbasis FPGA. Perancangan Picoblaze yang dapat mengerjakan pengolahan sinyal EEG diperlukan untuk dapat mempermudah proses pengolahan berikutnya. Sinyal EEG dilewatkan pada port masukan picoblaze untuk dianalisa sinyal hasil pada port keluaran picoblaze.. Hasil pengujian pada sistem FPGA Spartan 3 berjalan dengan baik dengan kebutuhan slice kurang dari 10 %.*

**Kata kunci :** *Penapis Digital Lolos Rendah, Picoblaze, FPGA*

### PENDAHULUAN

Pada pengolahan sinyal (*signal processing*) diperlukan sebuah proses akuisisi data secara waktu nyata yang bersumber dari masukan dan disimpan didalam RAM sehingga dapat dimanipulasi sebelum ditampilkan keluaran-nya pada layar monitor. Untuk dapat menghasilkan fleksibilitas yang tinggi pada pengolahan sinyal diperlukan sebuah prosesor yang dapat melakukan proses tersebut secara

otomatis. Prosesor tersebut adalah KCPSM3 yang merupakan jenis prosesor picoblaze 8 bit dan dapat diimplementasikan pada FPGA keluarga Spartan3. Dengan mengaplikasikan program menggunakan processor tersebut dapat menghasilkan fleksibilitas yang tinggi sehingga apabila dilakukan modifikasi program tidak perlu diubah seluruhnya (Zhang, 2012). Program pada KCPSM3 ditulis dalam bahasa assembler yang memiliki extension *.psm*.

## METODOLOGI

### Sinyal EEG

Perekaman aktifitas listrik dari otak menggunakan elektroda dinamakan *electroencephalogram* atau EEG (*electro* = listrik, *encephelo* = otak, *gram* = rekaman). Elektroda EEG akan mendeteksi aktifitas otak hanya untuk daerah di bawah elektroda saja. Meskipun begitu, elektroda menerima ribuan aktifitas dari neuron. Kenyatannya, 1 mm<sup>2</sup> lapisan otak memiliki 100.000 neuron. Empat contoh irama periodik EEG yang terekam adalah *alpha*, *beta*, *delta*, dan *theta*. Irama-irama tersebut diidentifikasi sebagai frekuensi (Hz atau siklus/detik) dan amplitudo (Tabel 2.1). Amplitudo yang terekam oleh elektroda masuk dalam range microvolt (Shanei, 2007).

Pada tahap preprocessing, sinyal masukan data berupa data raw EEG dilakukan perbaikan sinyal dengan menggunakan aplikasi filter digital dengan tujuan untuk menghilangkan komponen dcnya dan menghasilkan frekuensi cut-off sebesar 1 Hz. Pada bagian ini menggunakan filter jenis lolos rendah (*low pass filter*).

### Penapis Lolos Rendah ( Lowpass Filter ) Digital

Tapis pelewat rendah atau tapis lolos rendah (*low-pass filter*) digunakan untuk meneruskan sinyal berfrekuensi rendah dan meredam sinyal berfrekuensi tinggi. Sinyal dapat berupa sinyal listrik seperti perubahan tegangan maupun data-data digital seperti citra dan suara.

Filter digital mengeliminasi sejumlah masalah yang berhubungan dengan filter analog yang akhirnya menggantikan posisi filter analog. Filter digital termasuk kelas sistem waktu diskrit LTI (*Linear Time Invariant*) yang mempunyai karakteristik kausal dan rekursif dan stabil.

Filter digital dapat dikarakterisasi dalam ranah waktu dengan unit respon impuls dan dalam ranah transformasi dengan fungsi transfer. Ada beberapa metode yang dapat digunakan untuk merancang filter digital IIR, antara lain *matched-z transformation*, *impulse step invariant*, dan *transformation bilinear*, karena dari ketiga metode ini metode transformasi bilinear memberikan hasil yang lebih teliti, maka metode ini yang dipakai pada perancangan ini (Tanujaya, 2007).

Tabel 2.1

Frekuensi dan Amplitudo tipikal dari gelombang otak tersinkronisasi

Irama	Frekuensi tipikal (Hz)	Amplitudo Tipikal ( $\mu$ V)
Alpha	8-13	20-200
Beta	13-30	5-10
Delta	1-5	20-200
theta	4-8	10

Metode transformasi Bilinear, ekuivalen dengan *trapezoidal integration*. Pada dasarnya metode ini adalah proses pemetaan frekuensi dari relasi transformasi Laplace ke transformasi Z. Pemetaan ini mempunyai sifat sebagai berikut (Tanujaya, 2007):

- Jika  $H(s)$  dari transformasi Laplace adalah sistem LTI kausal dan stabil, maka  $H(z)$  akan kausal dan stabil
- Karakteristik dari  $H(s)$  adalah sebagai sifat awal dari karakteristik  $H(z)$  artinya dalam metode ini diperlukan  $H(s)$ .

Permasalahan utama pada Transformasi Bilinear adalah perubahan dari frekuensi filter analog ke frekuensi digital bersifat nonlinier, dimana transformasi dari bidang  $s$  yang merupakan bidang datar ke bidang  $z$  yang merupakan bidang lingkaran.

### Field Programmable Gate Array(FPGA)

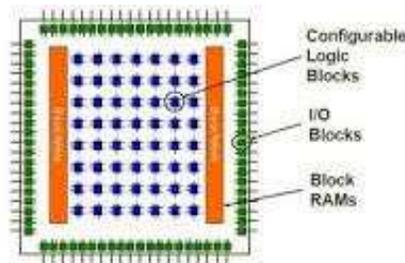
Field Programmable merupakan sebuah IC digital yang bersifat dapat dirancang dan diprogram sesuai dengan

keinginan dan kebutuhan user/pemakai tanpa melalui tahap “burn” di laboratorium atau di “hardwire” oleh pabrik piranti. Sedangkan Gate Array artinya bahwa FPGA ini terdiri atas gerbang-gerbang digital dimana interkoneksi masing-masing gerbang tersebut dapat dikonfigurasi antara satu sama lainnya. FPGA merupakan sebuah IC digital yang bersifat programmable (Saptono, 2011). FPGA terdiri dari beberapa bagian diantaranya adalah Configure Logic Blocks (CLB), I/O Blocks, dan Programmable Interconnect.

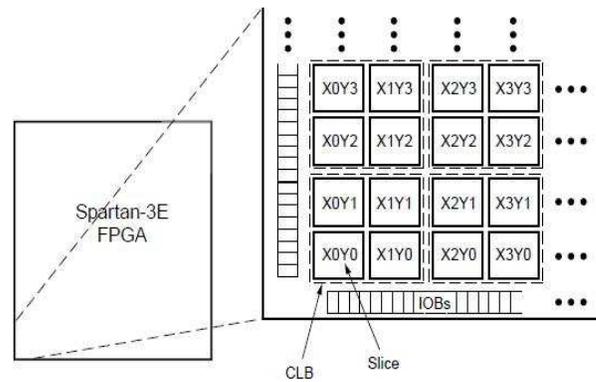
Configure Logic Blocks (CLB) merupakan bagian yang akan memproses segala bentuk rangkaian logika yang dibuat oleh user/pemakai.

I/O Blocks berfungsi sebagai interface antara external pin dari device dan internal user logic.

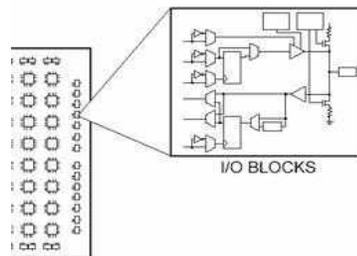
*Programmable Interconnect* berisi wire segments dan programmable switches, selain itu bagian ini juga akan menghubungkan antara CLB satu dengan CLB lainnya.



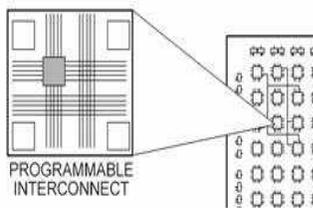
Gambar 1: Bagian-bagian FPGA(Xilinx,2008)



Gambar 2: Configure Logic Blocks(Xilinx,2008)



Gambar 3: I/O Blocks(Xilinx,2008)



Gambar 4: Programable Interconnect(Xilinx,2008)

## VHDL

VHDL (*Very high speed integrated Hardware Description Language*) adalah sebuah bahasa pemrograman VHSIC (*Very High Speed Integrated Circuit*) yang dikembangkan oleh IEEE (*Institute of Electrical and Electronic Engineering*). VHDL merupakan bagian dari perancangan pemrograman FPGA.

VHDL termasuk bahasa pemodelan yang digunakan untuk merancang atau memodelkan rangkaian digital. VHDL mampu melakukan desain hardware hingga sampai system yang lebih kompleks, mudah dalam mencari dan mendeteksi kesalahan dengan lebih mudah dalam simulasi, bahasa pemrograman yang mudah dimengerti

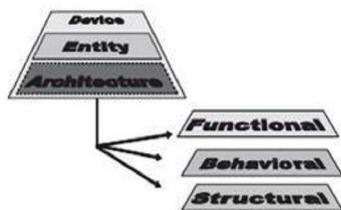
dan dipelajari dengan cepat (Perry, 2002). Di dalam VHDL juga terdapat main body program, procedure serta function. VHDL memiliki kemampuan untuk menggunakan gabungan level dari model yang memiliki arsitektur yang berbeda seperti ditunjukkan gambar 5.

### Picoblaze

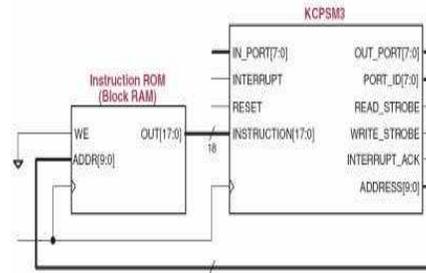
Picoblaze memiliki arsitektur 8-bit RISC dan memiliki kecepatan hingga 100 MIPS pada keluarga Spartan 3 FPGA. Desain picoblaze awalnya bernama KCPSM yang merupakan singkatan dari "Constant (K) Kode Programmable State Machine" (Banks, 2012). Desain dasar untuk menggunakan picoblaze adalah (Zhang, 2012) :

- Picoblaze ditulis dengan menggunakan bahasa pemrograman assembler yang menghasilkan file dengan ekstensi .psm
- KCPSM3 assembler hanya dapat dijalankan pada file berekstensi .psm dan file berekstensi .vhd akan menjalankan instruksi yang berada di dalam Blok Memori sebagai outputnya

Memori program picoblaze diimplementasikan pada blok tunggal RAM didalam FPGA, yang selanjutnya dikonfigurasi hingga berfungsi sebagai ROM  $1K \times 18$ -bit. Program yang akan dieksekusi akan diinisialisasikan dalam Blok RAM. Dibawah ini adalah komponen picoblaze.



Gambar 5: Arsitektur Model VHDL (Perry, 2002)



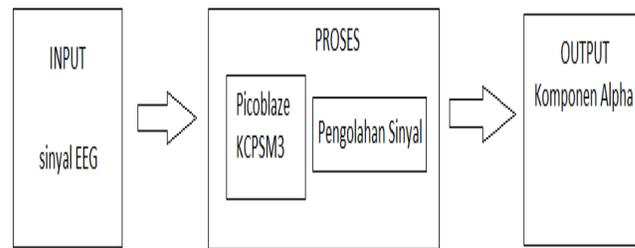
Gambar 6: Komponen Picoblaze

## IMPLEMENTASI

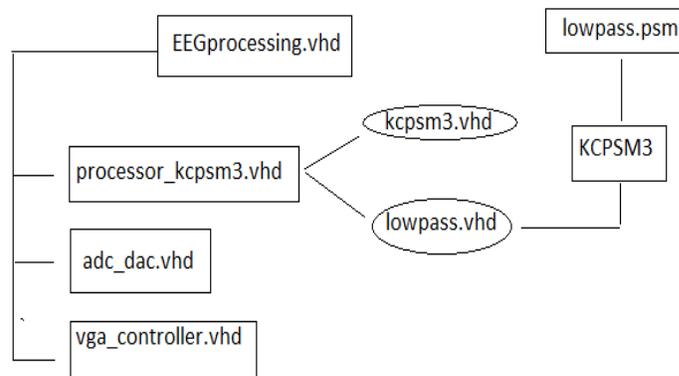
Pada analisa perancangan ini, menjelaskan mengenai bagaimana menganalisa perancangan program yang digunakan dalam Implementasi Picoblaze pada pengolahan sinyal. Pada analisa hardware ini, akan dijelaskan analisa secara blok diagram. Analisa blok diagram menjelaskan setiap blok program seperti blok input, proses, dan menghasilkan output berdasarkan dari program yang digunakan.

Pada blok input, didalamnya terdapat sinyal EEG yang berasal elektroda EEG. Masukan berupa sinyal tersebut dapat diubah-ubah dengan cara menyimpannya pada RAM FPGA. Pada blok proses, didalamnya terdapat dua buah proses yaitu Picoblaze dan Pengolahan Sinyal. Sinyal EEG akan diproses didalam mikrokontroler picoblaze dengan menggunakan processor KCPSM3 yang tertanam didalamnya. Pada blok output hanya terdapat satu keluaran yaitu komponen alpha yang merupakan salah satu bagian yang terdapat pada sinyal EEG dan dikeluarkan pada layar sebuah monitor melalui interface VGA yang ada pada FPGA .

Pada analisa blok program ini, akan dijelaskan langkah-langkah dalam pembuatan program secara blok diagram beserta RTL Schematic dari masing-masing blok program.



Gambar 7: Blok Diagram Sistem



Gambar 8 : Blok Program

Program yang digunakan pada perancangan ini terbagi menjadi beberapa blok. Blok program pertama adalah “EEGprocessing.vhd” yang merupakan program utama. Berfungsi untuk mendeskripsikan komponen-komponen beserta inisialisasi port dan sinyal yang digunakan.

Blok program yang kedua adalah “processor\_kcpsm3.vhd”. Program ini merupakan program utama dari mikrokontroler Picoblaze yang digunakan. Terdapat dua komponen didalam program ini yaitu “kcpsm3.vhd” dan “ram.vhd”.

Komponen pertama berfungsi untuk mendeklarasikan alamat, instruksi, clock dan sinyal yang digunakan untuk dapat saling terhubung dengan komponen lainnya. Sinyal yang digunakan adalah

Fundamental control & decode, stack, ALU, ALU multiplexer dan Read & Write strobe. Didalam program ini juga terdapat pendeklarian terhadap atribut yang digunakan oleh processor kcpsm3. Komponen kedua didapatkan dari file “lowpass.psm” yang ditulis menggunakan bahasa pemrograman assembler. Didalamnya terdapat perintah untuk mengaktifkan perangkat I/O VGA dan RAM kcpsm3 agar dapat digunakan untuk pengolahan sinyal sebagai penapis lolos rendah.

Blok program ketiga yaitu “adc\_dac.vhd” berfungsi untuk melakukan proses pengubahan sinyal analog EEG menjadi sinyal digital yang akan diolah pada tahap berikutnya. Selanjutnya adalah blok program “vga\_controller.vhd”, program ini

berfungsi untuk menghasilkan output berupa sinyal masukan dan keluaran yang telah diolah didalam processor ke sebuah monitor dengan menggunakan

interface VGA yang terdapat di FPGA, pada program ini juga dilakukan pendeklarasian terhadap resolusi citra yang digunakan.

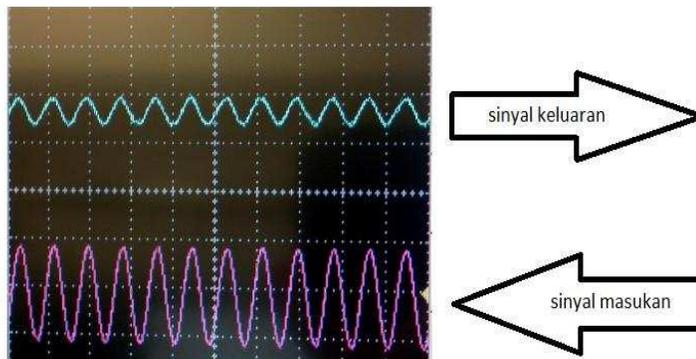
```

; Penapis Digital Lolos Rendah Menggunakan Spartan3
; =====
; Defini Port
DSIN $00 ; Address of input data port
DSOUT $07 ; Address of output data port

; Inisialisasi sistem
Imm: EINT ;interrupt enable
      JUMP Imm

; Interrupt service routine (ISR)
ORG $1FC
ISR: IN s0, 0 ;
      SUB s0, s5 ;
      AND s0, s0 ;
      ADDC s0, 4 ;
      SRA s0 ;
      SRO s0 ;
      SRO s0 ;
      ADD s5, s0 ;
      OUT s5, 7 ;
      RETI enable
; Interrupt vector
ORG $3FF
      JUMP ISR
;
    
```

Gambar 9: Kutipan lowpass.psm



Gambar 10: Hasil Sinyal masukan dan keluaran pada layar monitor

Device Utilization Summary				
Slice Logic Utilization	Used	Available	Utilization	Note(s)
Number of Slice Registers	27	32,640	1%	
Number used as Flip Flops	27			
Number of Slice LUTs	56	32,640	1%	
Number used as logic	56	32,640	1%	
Number using O6 output only	56			
Number of occupied Slices	15	8,160	1%	
Number of LUT Flip Flop pairs used	56			
Number with an unused Flip Flop	29	56	51%	
Number with an unused LUT	0	56	0%	
Number of fully used LUT-FF pairs	27	56	48%	
Number of unique control sets	3			
Number of slice register sites lost to control set restrictions	5	32,640	1%	
Number of bonded IOBs	7	480	1%	

Gambar 11: Kebutuhan resource pada FPGA Spartan 3

## SIMPULAN DAN SARAN

Program yang dijalankan didalam FPGA akan terlebih dahulu diproses oleh processor KCPSM3 lalu kemudian akan diteruskan oleh program-program pendukung lainnya. Apabila ingin dilakukan perubahan ataupun pengembangan terhadap program tersebut dapat dilakukan dengan mudah dikarenakan program telah tertanam didalam processor sehingga tidak diperlukannya perubahan struktur program secara keseluruhan. Implementasi dengan menggunakan Spartan 3-1000 membutuhkan slice kurang dari 10%.

## DAFTAR PUSTAKA

Saeid Sanei dan J.A. Chambers, “ EEG Signal Processing”, Centre of Digital Signal Processing Cardiff University, John Wiley&Sons Ltd, 2007

D. Saptono, V. Brost, and F. Yang, “VLIW architecture compilation-simulation and its implementation into FPGA”, Journal of IRECOS, Italy, 2011.

J. Banks, “Introductions to using picoblaze microcontroller “, 2012

Kai-feng Zhang, Hua-min Tao, Shan-zhu Xiao ,”Evolutionary Design of Image Filter Using PicoBlaze Embedded Processor”, Springer, 190-197, 2012.

Tanudjaja, H., 2007, Pengolahan Sinyal Digital & Sistem Pemrosesan Sinyal. Yogyakarta : Penerbit Andi.

Xilinx, “Spartan-3 Generation FPGA User Guide”, UG331 (v1.4) June 25, 2008

Douglas L. Perry, “VHDL : Programming by example”, McGraw-Hill, 2002.