

DESAIN *HIGH FREQUENCY* PWM MENGGUNAKAN CPLD DAN PEMANFAATAN SISTEM SEBAGAI KONTROL PADA DC-DC *FLYBACK UP CONVERTER*

Sigit Kurniawan¹, Setyawan P Sakti¹, Hari Arief Dharmawan¹

¹Jurusan Fisika FMIPA Univ. Brawijaya
Email: sigit.kurniawan89@gmail.com

Abstract

Pulse Width Modulation (PWM) menjadi bagian yang tak terpisahkan dari kebanyakan sistem kontrol. Salah satu kegunaan dari PWM adalah sebagai pengontrol daya pada rangkaian konverter DC-DC/DC-AC. Penggunaan PWM dengan frekuensi tinggi selalu menjadi alternatif untuk mengurangi besarnya ukuran trafo pada konverter *Flyback*. Frekuensi tinggi PWM dapat dihasilkan jika menggunakan model pencacah dengan kemampuan menghitung cepat. Teknik pencacahan *rising* dan *falling* untuk model pencacah dirancang mampu menghasilkan PWM dengan frekuensi lebih tinggi daripada teknik PWM yang dibangun pada mikrokontroler PIC16F87X. Besarnya frekuensi PWM yang dibangun pada komponen CPLD bergantung pada resolusi dan osilator kristal yang digunakan, nilai frekuensi yang mampu dihasilkan untuk resolusi PWM 10 bit dan frekuensi osilator kristal 48 MHz pada arsitektur PWM yang telah dirancang adalah 93.5 kHz. Serta desain *high frequency* PWM pada komponen CPLD dapat digunakan sebagai kontrol pada konverter *Flyback* untuk menaikkan tegangan DC dari 12V ke 400V.

Kata kunci: *Pulse Width Modulation*; Konverter *Flyback*; CPLD; Teknik pencacahan *Rising* dan *Falling*

Pendahuluan

Pulse Width Modulation (PWM) menjadi bagian yang tak terpisahkan dari kebanyakan sistem kontrol. Salah satu kegunaan dari PWM adalah sebagai pengontrol daya pada rangkaian konverter DC-DC/DC-AC. Pada konverter DC-DC/DC-AC, PWM digunakan sebagai pengontrol saklar dan memodulasi tegangan input DC menjadi gelombang dengan frekuensi tinggi untuk kemudian dilewatkan melalui komponen filter L-C untuk menghasilkan tegangan keluaran DC [1]. Teknik konverter ini dikenal sebagai teknik *switching*. Teknik *switching* banyak dimanfaatkan sebagai konversi daya DC-DC dibandingkan teknik konvensional karena tingkat efisiensi yang tinggi.

Salah satu jenis konverter *switching* yang banyak dimanfaatkan untuk konversi daya tingkat menengah adalah konverter *flyback* sebagaimana ditunjukkan pada Gambar 1(a). Jika tegangan keluaran dari rangkaian ini diregulasi berdasarkan nilai *duty cycle* PWM maka hubungan input dan output dari rangkaian *flyback* diberikan oleh persamaan :

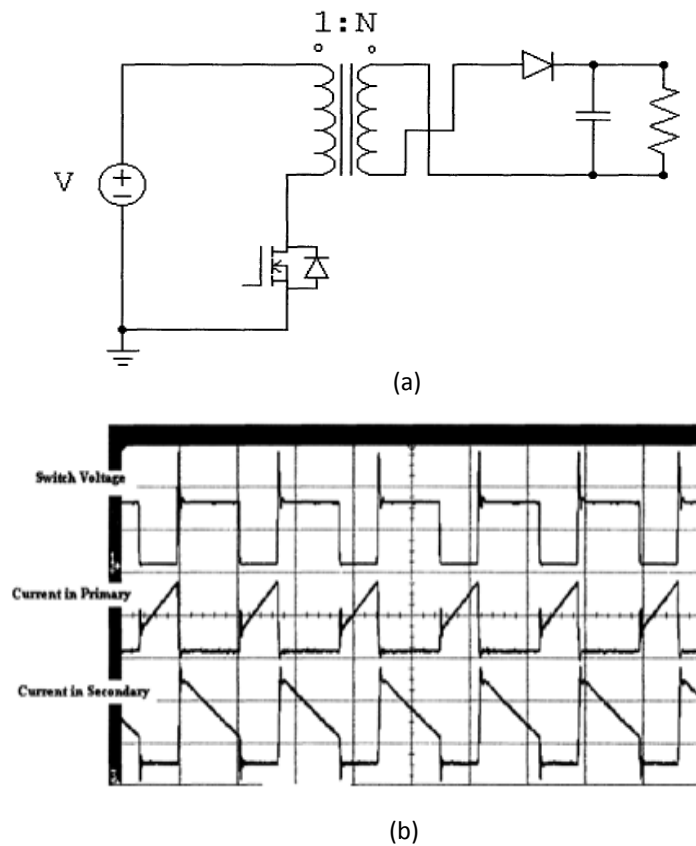
$$\frac{V_{out}}{V_{in}} = N \times \frac{D}{(1-D)} \quad (1)$$

dimana V_{in} tegangan input DC, D merupakan *duty cycle* PWM yang nilainya antara 0 s/d 1 dan N merupakan rasio lilitan pada trafo. Jika inti dari trafo menggunakan bahan ferit maka bahan material ini mampu bekerja pada frekuensi hingga ratusan kHz dengan sedikit disipasi daya

yang terjadi [1]. Ukuran dari transformator selalu menjadi pertimbangan dalam setiap perancangan konverter *Flyback*. Jika nilai induktansi dari masing-masing bagian transformator sebanding dengan ukuran induktornya maka semakin besar frekuensi PWM yang digunakan, ukuran dari transformator akan semakin kecil. Ini berguna untuk setiap perancangan konverter daya yang *portable*.

Menurut N.A. Rahim and Z. Islam (2009), PWM dapat dibangkitkan melalui teknik analog maupun teknik digital. Dalam teknik analog PWM dibangkitkan melalui sinyal pembawa dan sinyal modulasi, kemudian menghasilkan deretan pulsa dengan *duty cycle* tertentu yang ditentukan oleh perbandingan antara sinyal pembawa dengan sinyal modulasi. Sedangkan dalam teknik digital PWM dapat dibangkitkan dengan teknik *capture* dan *compare* dimana perbandingan nilai antara bit pencacah dengan N bit yang diberikan sebagai pembanding akan menentukan *duty cycle* PWM. Teknik digital mempunyai beberapa keunggulan dibandingkan dengan teknik analog antara lain tingkat kepresisian, kualitas pulsa keluaran, serta kemudahan untuk diatur secara digital [2].

Salah satu komponen digital yang dapat digunakan untuk membangkitkan PWM secara digital adalah mikrokontroler. Mikrokontroler merupakan salah satu tipe mikroprosesor yang telah ditambahkan komponen-komponen pendukung seperti memori dan port komunikasi (misal: *UART*) disamping CPU yang tertanam dalam satu chip [3]. Kemampuan komponen ini



Gambar 1. Konverter *Flyback* yang dikontrol oleh PWM: (a) Skematik
(b) Bentuk gelombang dari komponen transformator *Flyback*

dalam menghasilkan PWM dengan frekuensi tertentu terbatas pada bit pencacah yang telah tersedia dan nilai osilator yang digunakan, semakin tinggi nilai resolusi dari PWM maka frekuensi maksimumnya akan berkurang, selain itu penggunaan kristal sebagai osilatornya juga dibatasi pada nilai frekuensi dibawah 20 Mhz. Oleh karenanya diperlukan komponen lain yang mempunyai kemampuan untuk menghasilkan PWM dengan jangkauan frekuensi yang lebih tinggi sehingga dapat dimanfaatkan sebagai pengatur tegangan keluaran dari rangkaian konverter *Flyback*.

Programmable Logic Devices (PLDs) merupakan IC standar yang menawarkan penggunaan jangkauan kapasitas gerbang logika, kecepatan dan karakteristik tegangan serta komponen ini sewaktu-waktu dapat diubah untuk meningkatkan beberapa fungsinya [4]. *Complex Programable Logic Devices* (CPLD) merupakan salah satu jenis PLD, terdiri dari blok-blok *Programable Array Logic* (PAL) dan T flip-flop yang disebut sebagai *macrocells* [3]. Keuntungan dari penggunaan CPLD sebagai pembangkit PWM adalah bahwasanya kita bebas

menentukan resolusi PWM yang akan dihasilkan karena berkaitan dengan desain pencacah yang digunakan.

Frekuensi PWM bergantung pada bit resolusi dari pencacah, semakin tinggi resolusi pencacah yang digunakan maka nilai frekuensinya semakin kecil sebagaimana diberikan pada persamaan berikut:

$$f_{\text{PWM}} = \frac{f_{\text{clock}}}{2^N} \quad (2)$$

dimana f_{clock} merupakan frekuensi dari penghitung (*clock*) yang digunakan untuk membangkitkan PWM, N bit merupakan kapasitas dari komponen pencacah yang digunakan. Jika komponen penghitung menggunakan kristal osilator maka besarnya f_{clock} bergantung pada besarnya nilai osilator.

Pada komponen CPLD jenis XC9572, maksimum frekuensi penghitung yang diizinkan hingga 125 MHz. Oleh karenanya, jika pembangkit PWM yang dibangun pada komponen CPLD mempunyai resolusi 10 bit maka frekuensi PWM yang mampu dihasilkan oleh komponen CPLD sekitar 120 kHz.

Bahan dan metode Perancangan sistem

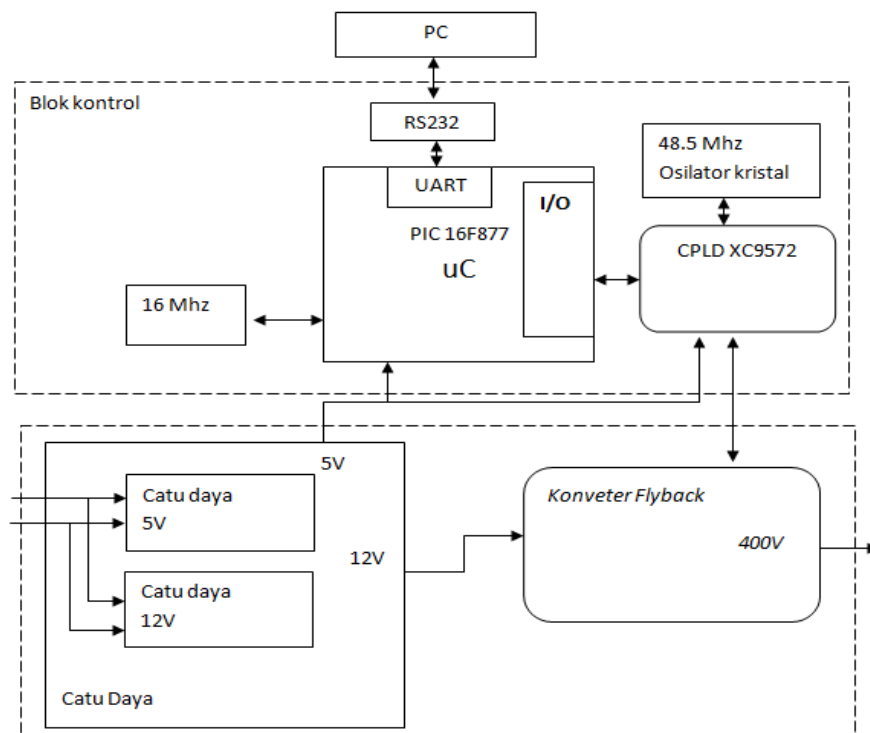
Perancangan sistem instrumentasi (Gambar 1) secara umum dikelompokkan ke dalam tiga sub bagian, yaitu sub bagian perancangan teknik digital PWM pada komponen CPLD (Gambar 2), sub bagian perancangan sistem pengiriman data untuk menentukan *duty cycle* PWM (Gambar 3) dan sub bagian perancangan sistem elektronik untuk konverter *Flyback*.

Perancangan teknik digital PWM

Prinsip kerja sistem ini meliputi pembangkitan PWM pada komponen CPLD. Pulsa digital dibangkitkan oleh kristal osilator, kemudian pulsa digital tersebut di cacah melalui komponen pencacah yang telah dirancang untuk dibandingkan dengan nilai maksimum berdasarkan bit resolusi dari PWM. *Duty cycle* PWM ditentukan melalui program LabVIEW pada PC, nilai *duty* tersebut kemudian dikirim melalui komunikasi serial antara PC dengan mikrokontroler. Selanjutnya mikrokontroler mengirimkan data *duty* pada komponen CPLD secara paralel melalui modul I/O. Mikrokontroler diperlukan sebagai media komunikasi dengan PC dikarenakan pada komponen CPLD tidak dirancang untuk dapat berkomunikasi secara UART.

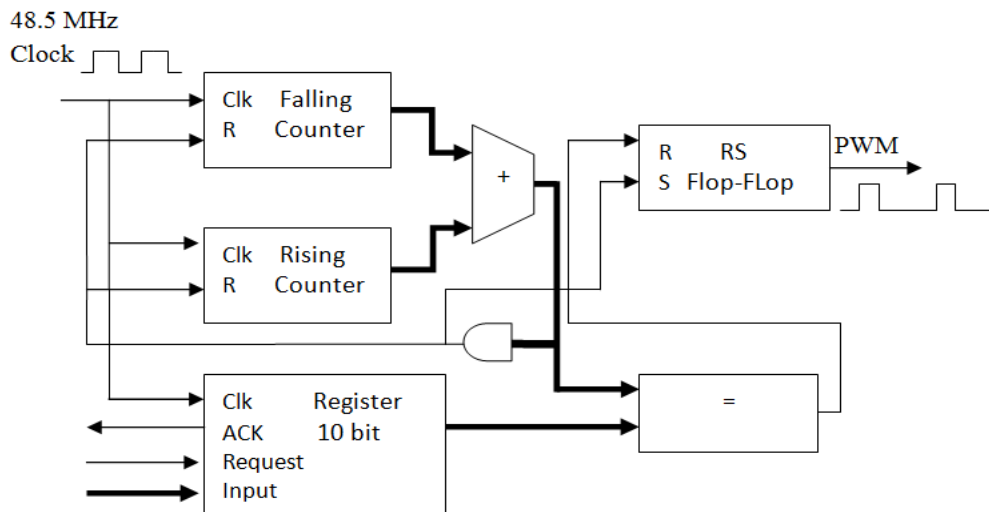
Untuk mendapatkan satu periode PWM maka nilai dari deretan pulsa digital dicacah oleh komponen pencacah (*counter*) dimana besarnya nilai pembagian ditentukan oleh N bit dari komponen pencacah. Selama proses pencacahan, hasil dari perhitungan dibandingkan dengan *duty cycle* yang berasal dari register lain yang telah dirancang. Hasil dari komponen pembanding akan memberikan nilai *set* dan *reset* pada komponen SR flip-flop, sedangkan keluaran dari komponen SR flip-flop berupa pulsa digital dari PWM.

Peningkatan frekuensi PWM dapat dilakukan dengan dua cara yaitu meningkatkan nilai frekuensi dari osilator kristal yang digunakan atau memperkecil nilai bit resolusi dari pencacah yang digunakan. Jika frekuensi dari kristal osilator ditingkatkan maka kemungkinan yang akan terjadi adalah peningkatan disipasi daya pada komponen CPLD. Selain itu, penggunaan frekuensi tinggi pada komponen digital akan menyebabkan *clock gating* atau terjadinya *delay* propagansi dari sinyal ketika melewati deretan gerbang logika. Sedangkan ketika resolusi dari komponen pencacah diperkecil maka jangkauan nilai dari *duty cycle* PWM akan semakin sempit. Untuk mengurangi permasalahan tersebut diatas maka diperlukan sebuah desain dari komponen pencacah yang mampu menghasilkan PWM dengan frekuensi tinggi.



Gambar 2. Perancangan sistem instrumentasi untuk pengaturan tegangan keluaran konverter *Flyback*

Arsitektur pembangkit PWM yang ditawarkan dalam penelitian ini ditunjukkan pada Gambar 3. Komponen pencacah dirancang untuk mampu mendeteksi sinyal dari osilator, baik pada saat keadaan *high* maupun *low*. Hasil dari keduanya kemudian dijumlahkan oleh komponen penjumlah untuk mendapatkan nilai maksimum dari resolusi PWM yang diinginkan. Ketika nilai maksimum dari proses penjumlahan terpenuhi maka sinyal *reset* akan bernilai *high*, sinyal ini kemudian digunakan untuk *reset* komponen pencacah agar mengulangi proses pencacahan. Disamping itu, sinyal ini juga akan mengubah nilai *set* pada komponen SR flip-flop menjadi *high* sehingga keluaran dari SR flip-flop akan bernilai *high* pula. Selama proses pencacahan, hasil penjumlahan dari kedua komponen pencacah tersebut akan dibandingkan dengan nilai *duty cycle* yang berasal dari komponen *register* yang telah dirancang, jika nilainya sama dengan nilai *duty cycle* maka sinyal *reset* dari SR flip-flop akan bernilai *high* dan menyebabkan keluaran dari SR flip-flop bernilai *low*.



Gambar 3. Arsitektur pembangkit PWM yang dirancang pada komponen CPLD

Keuntungan dari arsitektur PWM diatas adalah bahwasanya frekuensi PWM dapat ditingkatkan dua kali lipat jika dibandingkan dengan arsitektur PWM dengan satu komponen pencacah. Namun hal yang perlu dilakukan adalah memilih jenis kristal osilator yang memiliki tingkat kepresisian tinggi. Sinyal dari kristal osilator yang tidak presisi akan mempengaruhi periode masing-masing perhitungan, jika periode masing-masing perhitungan tidak sama maka frekuensi PWM yang dihasilkan pun tidak akan mencapai dua kali lipat dari nilai frekuensi yang dihasilkan oleh teknik pencacahan tunggal dengan satu komponen pencacah. Jenis kristal osilator yang digunakan dalam penelitian ini adalah jenis TXCO dengan kompensasi temperatur.

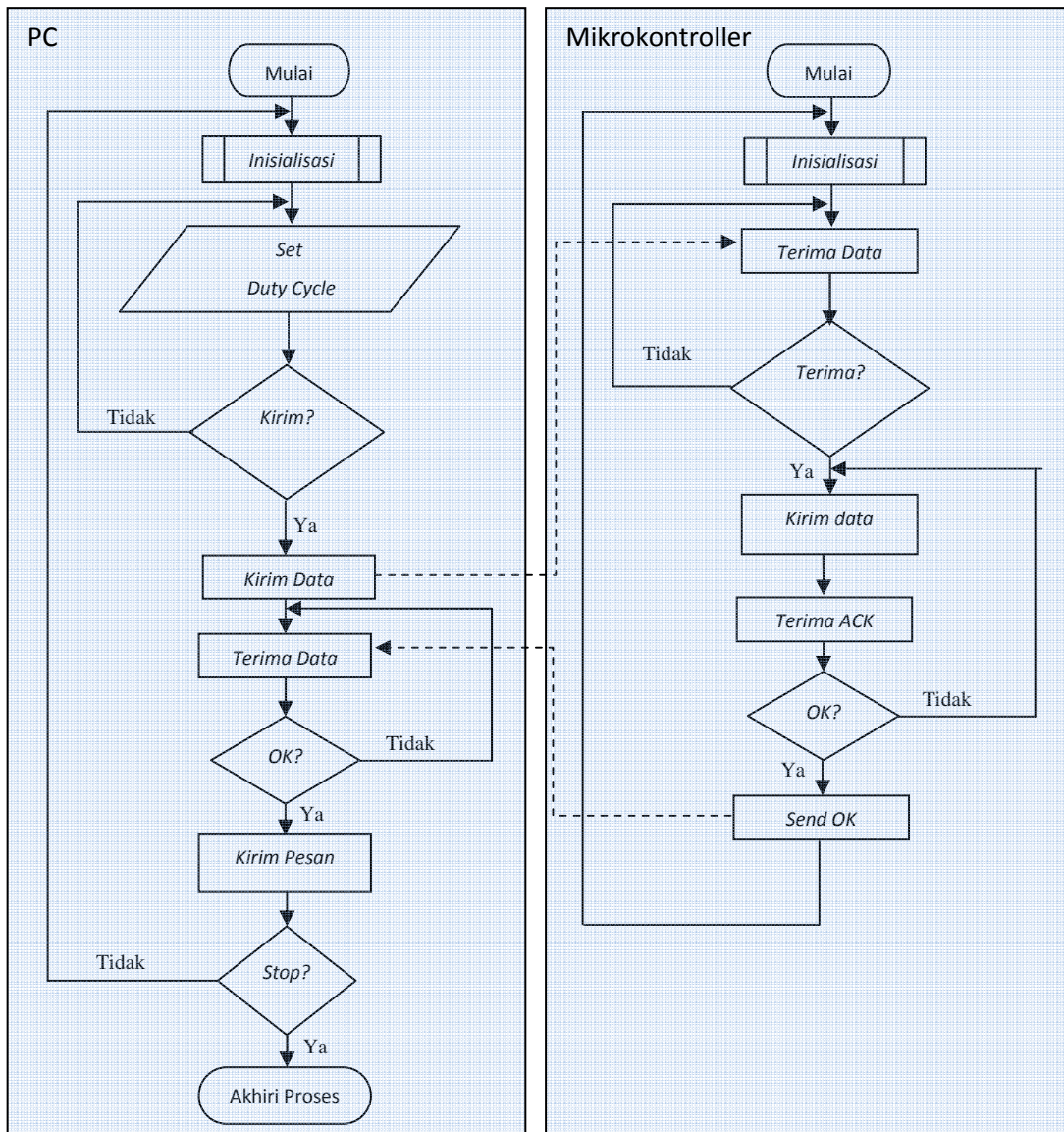
Perancangan sistem pengiriman data untuk menentukan *duty cycle* PWM

Komponen CPLD hanya memiliki modul I/O secara digital. Untuk menghubungkan komponen tersebut dengan komponen lain melalui modul I/O yang tersedia harus dalam format data digital. Pengaturan nilai *duty* PWM pada penelitian ini dilakukan dengan bantuan *software* LabVIEW pada PC kemudian data dikirimkan ke CPLD dengan memanfaatkan *interface* mikrokontroler dengan PC, selanjutnya data di kirim dari mikrokontroler ke CLPD melalui modul I/O.

Alur pengiriman data dari PC ke mikrokontroler ditunjukkan pada Gambar 4. Mengingat PWM yang dirancang pada CPLD mempunyai resolusi 10 bit maka data *duty cycle* maksimum yang dapat di kirim ke CPLD adalah 10 bit, sedangkan kapasitas pengiriman data pada modul UART yang ada adalah 8 bit maka data 10 bit *duty cycle* dikirimkan dalam dua kali pengiriman data yang berupa 8 bit *low* dan 8 bit *high* (dimana hanya diambil 2 bit sebagai bit ke-9 dan ke-10 nya).

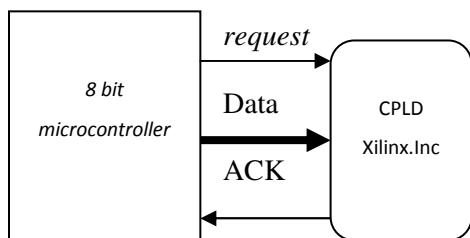
Kapasitas masing-masing *register* pada komponen mikrokontroler adalah 8 bit, jika data *duty* yang dikirimkan berupa data 10 bit maka diperlukan sebuah teknik pengiriman data 10 bit secara paralel dari mikrokontroler ke CPLD. Disamping itu, kedua komponen dibangkitkan dengan pewaktu (*clock*) yang berbeda oleh karenanya dalam teknik pengiriman data sebaiknya dilakukan secara asinkron.

Nilai masing-masing siklus kerja pada mikrokontroler adalah sekitar satu *microsecond* (μs), selama perintah *clear* atau perintah untuk mengganti data pada masing-masing *register output* belum dilakukan maka nilai pada *register* tersebut adalah tetap sehingga perintah untuk mengaktifkan semua *port* keluaran dalam waktu hampir



Gambar 5. Alur pengiriman data *duty-cycle* dari PC ke mikrokontroller

bersamaan dapat dilakukan. Ketika data siap dikirimkan maka fungsi *trigger* diaktifkan untuk memberi perintah pada komponen CPLD agar siap menerima data, sebagai sinkronisasi maka komponen CPLD akan memberikan sinyal ACK kepada mikrokontroller untuk melakukan siklus kerja selanjutnya (Gambar 4).



Gambar 4. Komunikasi antara komponen uC-CPLD

Perancangan rangkaian konverter *Flyback*

Dalam setiap perancangan konverter *Flyback*, hal utama yang perlu dilakukan adalah menentukan kapasitas transformator yang digunakan. Spesifikasi dari transformator ditentukan berdasarkan pada tegangan input, tegangan output, arus input, dan periode saat *switch* dalam keadaan *on*.

$$\frac{V_{out}}{V_{in}} = \left(\frac{N_2}{N_1}\right) \times \left(\frac{t_2}{t_1}\right) \quad (3)$$

Berdasarkan persamaan tegangan keluaran dari konverter *Flyback* yang diberikan pada persamaan 3 diatas, bahwasanya tegangan keluaran *Flyback* dapat ditentukan melalui dua cara yaitu melalui perbandingan jumlah lilitan primer dan skunder dari trafo yang digunakan, atau perbandingan antara t_{on} dan t_{off} nya.

Cara pertama lebih mudah dilakukan daripada cara yang kedua, oleh sebab itu dalam setiap perancangan konverter *Flyback* cara kedua lebih banyak digunakan.

Jika konverter *Flyback* yang dirancang diharapkan mampu mengkonversi tegangan DC 12V menjadi 400V tegangan DC dan besarnya perbandingan ideal dari t_{on} dan t_{off} adalah satu maka dari persamaan diatas, perbandingan jumlah lilitan antara primer dan skunder adalah

$$\frac{400}{12} = \left(\frac{N2}{1}\right) \quad (4)$$

$$N2 = 33 \quad (5)$$

Selanjutnya besarnya nilai minimum induktansi dari lilitan primer agar dapat mengkonversi seluruh daya input yang tersimpan ditentukan sebagai:

$$L_{min} = \left(\frac{V_{min}}{I_{impk}}\right) \times t_{on} \quad (6)$$

Tegangan input V_{in} besarnya adalah 12V sedangkan t_{on} dapat ditentukan melalui persamaan berikut:

$$t_{on} = D \times T = 0.5 \times 10 \mu s = 5 \mu s \quad (7)$$

dan arus rata-rata input *Flyback* ditentukan berdasarkan daya input maksimum dan tegangan input maksimumnya, atau dapat dituliskan sebagai:

$$I_{in\text{avg}} = \frac{P_{in}}{V_{in}} = \frac{24 \text{ Watt}}{12V} = 2A \quad (8)$$

Besarnya arus puncak pada lilitan primer ditentukan berdasarkan luasan segitiga seperti yang ditunjukkan pada Gambar 1.b. Bentuk persamaannya adalah:

$$I_{in\text{avg}} = 0.5 \times D \times I_{impk} \quad (9)$$

atau

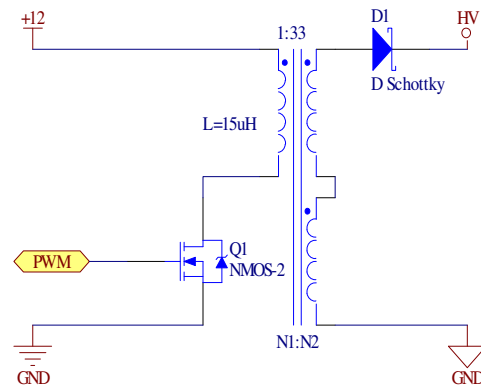
$$I_{impk} = \frac{I_{in\text{avg}}}{0.5 \times 0.5} = \frac{2}{0.25} = 8A \quad (10)$$

Sehingga besarnya nilai L_{min} untuk lilitan primer dari komponen transformatornya adalah:

$$L_{min} = \left(\frac{12V}{8A}\right) \times 5 \mu s = 7.5 \mu H \quad (11)$$

Untuk skematik dari konverter *Flyback* yang dirancang ditunjukkan pada Gambar 6. Pada skematik tersebut terlihat bahwa antara komponen input dan output dari konverter *Flyback* di isolasi (tidak dihubungkan), ini berguna untuk mengurangi *loss* daya ketika terjadi kenaikan beban secara tiba-tiba pada sisi skunder. Tegangan riak hasil induksi lilitan skunder disearahkan dengan dioda *schottky*, dioda ini mempunyai kemampuan

fast recovery sehingga memungkinkan jika digunakan pada frekuensi tinggi.



Gambar 6. Skematik rangkaian konverter *flyback*

Hasil dan pembahasan

Pengujian CPLD sebagai pembangkit PWM

Perancangan pembangkit PWM pada komponen CPLD dilakukan dengan bahasa pemrograman VHDL pada *software* Xilinx Ise Design Suite 13.4. Tahapan proses perancangan dengan menggunakan bahasa pemrograman VHDL terdiri dari: Proses *Translate*, *Fitting* dan *Generate*.

Hasil dari proses *Translate* yang dilakukan pada *software* Xilinx Ise Design Suite 13.4 ditunjukkan pada Tabel 1. Proses *Translate* menunjukkan bahwa desain pembangkit PWM dengan bahasa VHDL menghasilkan beberapa komponen digital sesuai dengan arsitektur pembangkit PWM yang telah dirancang.

Tabel 1. *Macro-statistics* dari arsitektur PWM

Komponen	Total
10-bit adder carry out	1
10-bit up counter	2
11-bit comparator equal	1
10-bit register	1

Tabel 2. *Resource summary* dari arsitektur PWM

Macrocells Used	Pterms Used	Registers Used	Pins Used	Function Block Inputs Used
55/72 (77%)	280/360 (78%)	30/72 (42%)	14/34 (42%)	132/144 (92%)

Tabel 2 merupakan hasil dari proses *Fitting* yang dilakukan pada komponen CPLD jenis XC9572. Hasil dari *Fitting* tersebut dapat dijadikan acuan untuk memilih tipe dari CPLD sesuai dengan kapasitas *macrocells* dan *product of terms* yang dibutuhkan.

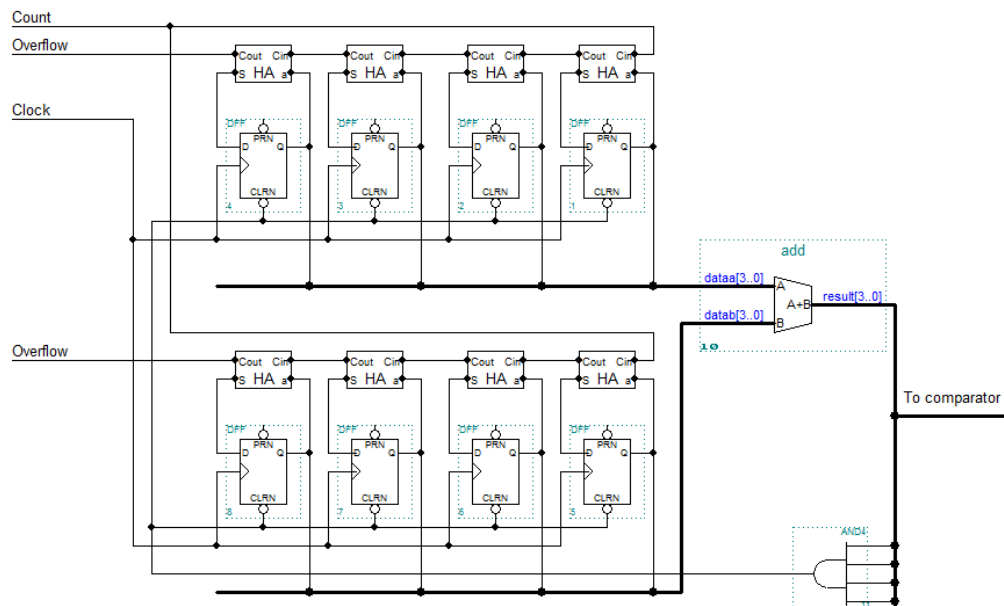
Secara struktural komponen pencacah yang dirancang dapat digambarkan sebagaimana yang ditunjukkan pada Gambar 7. Terdiri dari beberapa komponen T flip-flop dan *half adder*. Komponen pencacah bekerja secara terus-menerus bergantung pada hasil perhitungan dari komparator, sinyal PWM hanya dapat dihasilkan jika terdapat nilai perbandingan antara nilai register dengan hasil penjumlahan dari kedua komponen pencacah. Jenis pencacah yang dirancang berupa *modulus counter* dimana masing-masing pencacah mempunyai kapasitas 10 bit sehingga nilai maksimum yang mampu dihasilkan adalah

$$2^{10} = 1024 \quad (12)$$

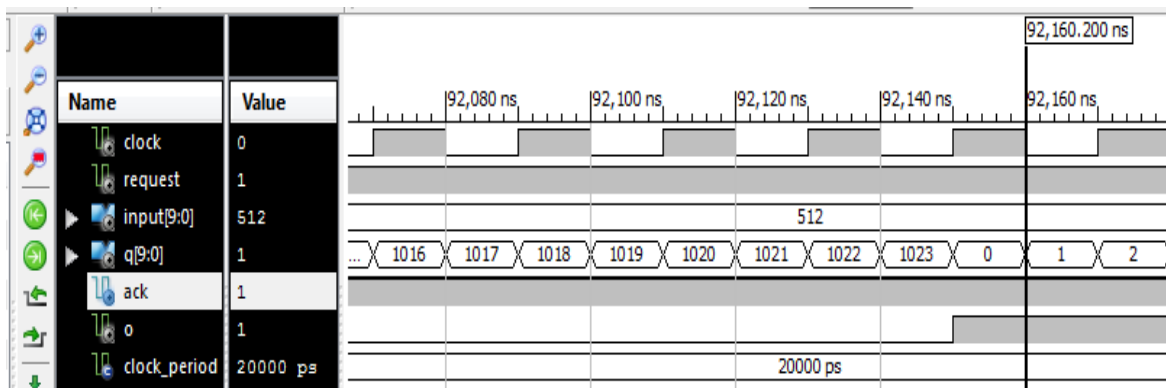
Nilai ini diambil karena nilai penjumlahan yang mampu dihasilkan oleh kedua komponen pencacah akan melebihi 1023, atau setara dengan nilai maksimum satu komponen pencacah dengan kapasitas 10 bit.

Hasil simulasi VHDL menggunakan program *Xilinx Ise Simulation Test Bench* pada Gambar 8 menunjukkan bahwa ketika nilai maksimum dihasilkan maka kedua komponen pencacah akan di-*reset*. Perintah *reset* diperlukan agar nilai penjumlahan dari kedua komponen pencacah menghasilkan nilai nol, sebab nilai bilangan desimal dari 10 bit data *biner* di mulai dari nol sampai dengan 1023. Sehingga secara teori nilai resolusi 10 bit untuk komponen pencacah dapat dihasilkan melalui teknik yang telah dirancang berdasarkan teknik *rising* dan *falling*.

Hasil keluaran PWM dari komponen CPLD diukur melalui alat ukur osiloskop untuk beberapa nilai *duty cycle* tertentu (ditunjukkan pada Gambar 9.a-c), pengukuran ini dimaksudkan untuk mengetahui besarnya frekuensi maupun bentuk gelombang PWM yang dihasilkan oleh komponen CPLD.



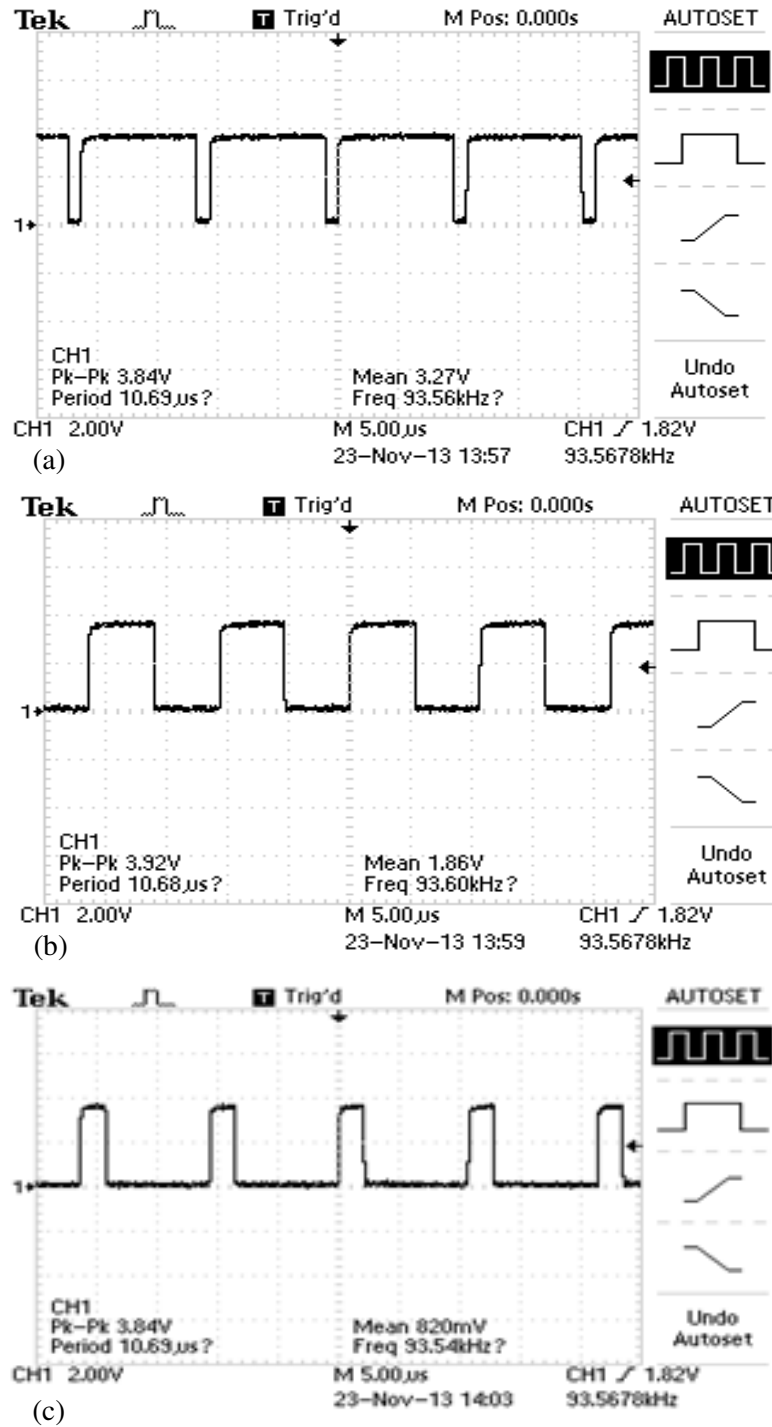
Gambar 7. Blok diagram dari komponen pencacah yang dirancang



Gambar 8. Hasil simulasi VHDL dari komponen pencacah

Hasil pengukuran PWM pada alat ukur osiloskop menunjukkan bahwa nilai frekuensi PWM sekitar 93.5 kHz dengan nilai frekuensi osilator kristal 48 MHz, nilai ini hampir dua kali dari nilai frekuensi PWM yang dihasilkan oleh pencacah tunggal untuk resolusi PWM dan osilator kristal dengan nilai yang sama.

Pembangkit PWM yang dibangun mempunyai resolusi 10 bit dengan nilai presisi $100/1023=0.097\%$. Berdasarkan nilai presisi ini maka beda nilai *duty cycle* untuk pembangkit PWM yang dibangun sekitar 0.1 atau seperempat kali lebih kecil daripada beda *duty cycle* yang dimiliki oleh pembangkit PWM dengan resolusi 8 bit,

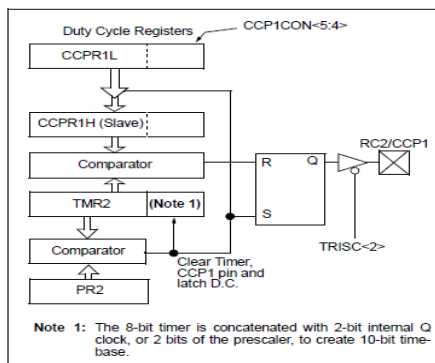


Gambar 9. Bentuk gelombang PWM pada osiloskop untuk berbagai nilai *duty cycle* :
 (a) 90 %, (b) 50 % dan (c) 20 %.

Perbandingan nilai frekuensi keluaran PWM antara komponen CPLD dan mikrokontroler

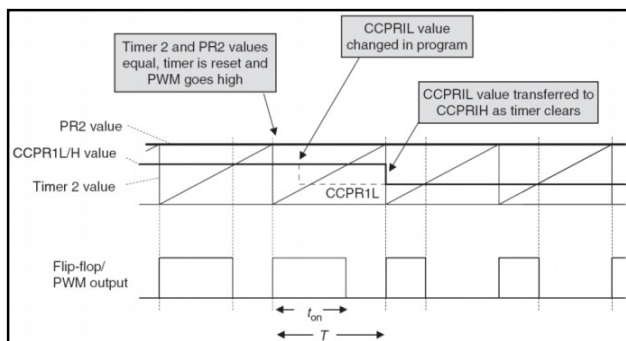
Pulse width modulation (PWM) pada mikrokontroler PIC16F87X dapat dihasilkan oleh modul CCP (Capture/Compare/PWM), walaupun fokus penelitian ini hanya pada modul PWM. Mikrokontroler PIC 16F87X mempunyai tiga mode operasi dalam membangkitkan PWM dengan modul CCP yaitu : Capture dan Compare menggunakan register Timer1, serta mode PWM melalui register Timer2. Masing-masing mode operasi dapat dirancang pada modul CCP1 maupun CCP2 dengan beberapa pengecualian.

Diagram blok PWM untuk mode operasi PWM dari mikrokontroler PIC 16F87X ditunjukkan pada Gambar 11 di bawah ini:



Gambar 10. Diagram blok mode operasi PWM mikrokontroler PIC16F87X

Pada gambar diatas terlihat bahwa diagram blok yang telah dirancang pada mikrokontroler hampir sama dengan diagram blok yang telah dirancang pada penelitian ini (Gambar 3), hanya saja kapasitas dari mikrokontroler untuk membangkitkan PWM terbatas model pencacah yang digunakan (Timer2) dan resolusi PWM yang ditentukan berdasarkan nilai dari PR2.



Gambar 11. Teknik pembangkitan PWM untuk mode PWM PIC 16F87X

Berdasarkan Gambar 10 dan Gambar 11 diketahui bahwa nilai *duty cycle* PWM diatur berdasarkan nilai dari register CCP1H dan CCP1L (16 bit *compare register*), dimana diambil untuk 2 bit tertinggi dan 8 bit terendah untuk PWM dengan resolusi 10 bit. Kedua *register* pada modul CCP dikontrol oleh CCP1CON untuk modul CCP1 dan CCP2CON untuk modul CCP2.

Besarnya frekuensi PWM yang dihasilkan oleh mikrokontroler PIC16F87X ditentukan oleh persamaan:

$$f_{pwm} = \frac{1}{T} = \frac{1}{(PR2+1) \times (Timer2 \text{ input period})} \quad (12)$$

atau dapat dituliskan sebagai

$$f_{pwm} = \frac{1}{T} = \frac{1}{(PR2+1) \times (T_{osc} \times 2^2 \times (\text{prescale}))} \quad (13)$$

dimana T_{osc} merupakan periode dari osilator kristal yang digunakan dan 2^2 adalah nilai 2 bit Q *internal clock* dari Timer2 dan PR2 sebagai *register* pembanding untuk Timer2, nilainya antara 0 sampai dengan 255.

Untuk besarnya nilai kristal osilator yang sama dengan nilai osilator yang digunakan pada komponen CPLD yaitu 48 MHz, frekuensi yang mampu dihasilkan oleh mikrokontroler PIC 16F87X adalah:

$$f_{pwm} = \frac{1}{T} = \frac{1}{(255+1) \times (2 \times 10^{-8} \times 2^2 \times (1))} = \frac{1}{2048 \times 10^{-8}} = 48 \text{ kHz}$$

dimana nilai perbandingan frekuensi untuk besarnya resolusi PWM dan kristal osilator yang sama dapat diketahui melalui persamaan dibawah ini:

$$\frac{f_{pwm-CPLD}}{f_{pwm-μC}} = \frac{93.5 \text{ kHz}}{48 \text{ kHz}} = 1,94 \quad (14)$$

dari persamaan diatas diketahui bahwa nilai frekuensi PWM yang mampu dihasilkan oleh komponen CPLD hampir dua kali lebih tinggi dibandingkan nilai frekuensi PWM yang mampu dihasilkan oleh mikrokontroler.

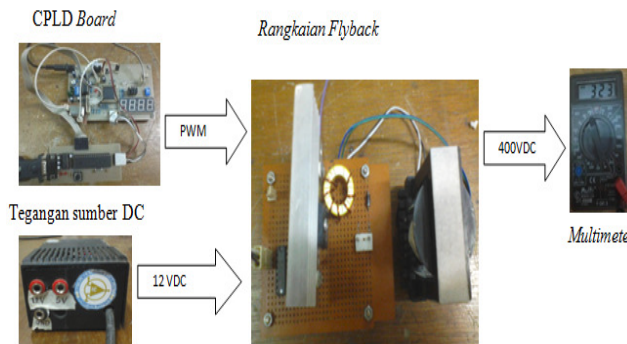
Beberapa nilai frekuensi PWM yang mampu dihasilkan oleh mikrokontroler PIC 16F87X berdasarkan resolusi dan kristal osilator yang digunakan ditabelkan seperti pada Tabel 4.3, dimana nilai frekuensi maksimum dari kristal osilator yang diizinkan adalah sebesar 20 MHz.

Tabel 4.3 Frekuensi dan Resolusi PWM berdasarkan nilai osilatornya

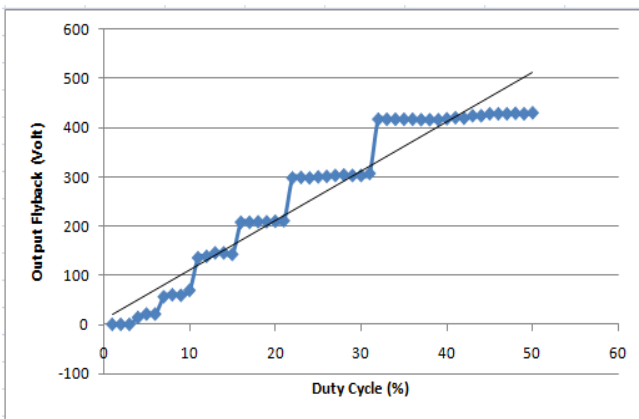
PWM Resolution	20 MHz		10 MHz		2 MHz		Units
	Min	Max	Min	Max	Min	Max	
10-bit	1.22	19.53	0.613	9.77	0.123	1.96	kHz
9-bit	1.22	39.06	0.613	9.77	0.123	3.92	kHz

Pengujian CPLD sebagai kontrol rangkaian *Flyback* untuk konverter DC-DC

Pengujian rangkaian *Flyback* dilakukan dengan memberikan input tegangan DC sebagai tegangan sumber dan sinyal PWM dengan variasi nilai *duty cycle* yang berasal dari komponen CPLD (Gambar 10). Pengujian ini dilakukan untuk mengetahui besarnya tegangan keluaran dari rangkain *Flyback* dengan variasi nilai *duty cycle* yang diberikan.



Gambar 10. Pengujian CPLD sebagai pengontrol rangkaian *Flyback*



Grafik 4.1 Grafik Tegangan keluaran *Flyback* sebagai fungsi *Duty Cycle* PWM

Grafik 4.1 merupakan representasi dari hasil pengukuran tegangan keluaran dari konverter *Flyback* untuk nilai *duty cycle* nol sampai dengan *duty* maksimum yang diizinkan. Dari Grafik 4.1 dapat dijelaskan bahwa lebar *duty cycle* PWM minimum yang diperlukan agar sinyal PWM mampu men-drive komponen MOSFET adalah sekitar empat persen, jika dihitung berdasarkan tegangan yang keluaran dari komponen *hex-inverter* yaitu sebesar 5.5 V maka tegangan yang dibutuhkan agar komponen MOSFET dalam kondisi aktif adalah:

$$V_{Gate} = \frac{4}{100} \times 5.5 \text{ Volt} = 0.22 \text{ Volt} \quad (15)$$

Sedangkan nilai *duty* maksimum dari sinyal PWM yang dibutuhkan agar konverter *Flyback* mampu menghasilkan tegangan keluaran sebesar 400 V hampir sama dengan nilai yang diharapkan dari teori yang telah ditentukan pada persamaan 3.3, tegangan keluaran yang sama bisa jadi dapat diperoleh untuk nilai *duty* lebih dari *duty* maksimum namun secara efisiensi tentu akan berkurang karena dapat menyebabkan peningkatan temperatur pada komponen MOSFET hingga terjadi disipasi daya pada komponen tersebut.

Untuk mengurangi disipasi daya pada MOSFET akibat dari pemasangan tunggal komponen tersebut pada konverter *Flyback* maka digunakan media pendingin dengan ukuran yang lebih besar. Disamping itu, salah satu kelemahan dari rangkaian *Flyback* adalah penggunaan MOSFET tunggal sebagai kontrol rangkaian sehingga digunakan jenis MOSFET yang mempunyai tegangan V_{ds} relatif besar.

Kesimpulan

Berdasarkan dari pengujian alat, pengambilan data dan pengolahan data, maka dapat disimpulkan bahwa *high frequency* PWM telah berhasil dirancang secara digital pada komponen CPLD. Sinyal PWM yang dihasilkan dengan teknik pencacahan *rising* dan *falling* mampu menghasilkan frekuensi lebih tinggi daripada teknik PWM pada mikrokontroler PIC16F87X dan konverter tegangan DC dari 12V ke 400V dengan rangkaian *Flyback* yang dikontrol dengan CPLD telah berhasil dibuat.

Daftar Pustaka

- [1] Koutroulis E., Dollas A. and Kalaitzakis K., "High-frequency pulse width modulation implementation using FPGA and CPLD ICs", *Journal of Systems Architecture*, Vol.52 (2006): pp. 332–344
- [2] Rahim N.A. and Islam Z., "Field Programmable Gate Array-Based Pulse-Width Modulation for Single Phase Active Power Filter"; *American Journal of Applied Sciences*, Vol.6 (2009): pp. 1742-1747
- [3] Ion Grout, *Digital systems design with FPGAs and CPLDs*, (Elsiever, Oxford, 2008)
- [4] Xilinx, "What is Programmable Logic? ", accessed 19/12/2012, <http://xilinx.com/company/about/programmable.html>

