

## SIMULASI GRADED CHANNEL MOSFET DENGAN S-PISCES 2B

Hartono Siswono

Departemen Elektro, Fakultas Teknik, Universitas Indonesia, Depok 16424, Indonesia

E-mail: hartono@staff.gunadarma.ac.id

---

### Abstrak

Penulisan ini adalah suatu analisis terhadap divais *Graded-Channel Metal-Oxide-Semiconductor Field-Effect-Transistor* atau disingkat *GCMOSFET*. Teknologi *GCMOSFET* dewasa ini berkembang sebagai salah satu usaha untuk memenuhi kebutuhan divais dalam aplikasi berdaya rendah dan mempunyai performansi lebih tinggi. Pada penulisan ini ditekankan untuk menganalisa keunggulan *GCMOSFET* dibanding dengan *MOSFET ungraded*. *GCMOSFET* dapat menghasilkan output  $I_D$  yang lebih besar jika dibandingkan dengan *MOSFET ungraded*. Peningkatan arus  $I_D$  ini terjadi disebabkan pengaruh *graded channel* pada divais yang menghasilkan panjang *channel* efektif yang lebih kecil daripada panjang *channel* efektif *MOSFET ungraded*. Dari hasil simulasi dengan berbantuan perangkat lunak *S-PISCES 2B* dan *MATLAB* dapat ditunjukkan bahwa  $I_D$  yang dihasilkan *GCMOSFET* lebih besar daripada  $I_D$  yang dihasilkan *MOSFET ungraded*, sebagai contohnya untuk  $V_{GS} = 4$  V dan  $V_{DS} = 2$  V,  $I_D$  pada *MOSFET* sama dengan  $9,78E-06$  A, sedangkan pada *GCMOSFET* sama dengan  $16,56E-06$  A. Di samping itu, misalkan untuk menghasilkan  $I_D = 11,32E-06$  A pada *MOSFET* diperlukan  $V_{GS} = 4$  V dan  $V_{DS} = 4,7$  V, sedangkan pada *GCMOSFET* diperlukan  $V_{GS} = 4$  V dan  $V_{DS} = 1,2$  V. Hal ini menunjukkan bahwa *GCMOSFET* mengkonsumsi daya yang lebih rendah dibandingkan *MOSFET ungraded*. Dan berdasarkan hasil simulasi terbukti bahwa *GCMOSFET* dengan  $L_{GC}$  (panjang *region graded channel*) yang lebih pendek akan menghasilkan  $I_D$  yang lebih besar dibandingkan dengan  $I_D$  yang dihasilkan *GCMOSFET* dengan  $L_{GC}$  yang lebih panjang. Sebagai contohnya untuk  $V_{GS} = 4$  V dan  $V_{DS} = 2$  V, pada *GCMOSFET* dengan  $L_{GC} = 4$   $\mu$ m diperoleh  $I_D = 16,56E-06$  A, pada *GCMOSFET* dengan  $L_{GC} = 3,5$   $\mu$ m diperoleh  $I_D = 17,51E-06$  A, dan pada *GCMOSFET* dengan  $L_{GC} = 3$   $\mu$ m diperoleh  $I_D = 18,49E-06$  A.

### Abstract

**Graded Channel MOSFET simulation with S-Pisces 2B.** Graded-Channel Metal-Oxide-Semiconductor Field-effect-Transistor or GCMOSFET is being discussed in this paper. GCMOSFET technology has been developed to meet the growing demand for low power and high performance application. In this paper, it will be shown that, compared to ungraded MOSFET, the GCMOSFET device offers the advantage of significantly higher drive current. The higher drive current is achieved because the effective channel length of GCMOSFET is shorter than the ungraded MOSFET's. From the simulation result with S-PISCES 2B and MATLAB, it can be shown that the  $I_D$  from GCMOSFET is higher than the  $I_D$  from ungraded MOSFET. As an example, with  $V_G = 4$  V and  $V_D = 4$  V,  $I_D$  from MOSFET is equal with  $9.78 \text{ e-}06$  A and  $I_D$  from GCMOSFET is equal with  $16.56 \text{ e-}06$  A. Beside that, as an example, to get  $I_D = 1.13 \text{ e-}05$  A with MOSFET will need  $V_G = 4$  V and  $V_D = 4.7$  V, and with GCMOSFET  $V_G = 4$  V and  $V_D = 1.2$  V will be needed. This result has shown that GCMOSFET needs lower supply voltage than the ungraded MOSFET which means that GCMOSFET needs lower power consumption than ungraded MOSFET. From the simulation results, it can be proved that GCMOSFET with shorter  $L_{GC}$  (graded channel region length) will give larger  $I_D$  than  $I_D$  from GCMOSFET with longer  $L_{GC}$ . As we can see that for  $V_{GS} = 4$  V and  $V_{DS} = 2$  V, GCMOSFET with  $L_{GC} = 4$   $\mu$ m will give  $I_D = 16,56E-06$  A, GCMOSFET with  $L_{GC} = 3,5$   $\mu$ m will give  $I_D = 17,51E-06$  A, and GCMOSFET with  $L_{GC} = 3$   $\mu$ m will give  $I_D = 18,49E-06$  A.

*Keywords: S-Pisces 2B, MOSFET, GCMOSFET*

---

### 1. Pendahuluan

Peningkatan aplikasi *Digital Signal Processing* (DSP) untuk produk komunikasi merupakan salah satu

penyebab meningkatnya pengembangan teknologi *Very Large Scale Integration* (VLSI) tegangan rendah/daya rendah, performansi tinggi dan biaya rendah untuk aplikasi DSP [1].

Pada rangkaian CMOS, konsumsi daya total terdiri dari dua komponen, yaitu: daya dinamik dan daya statik. Daya dinamik proporsional dengan  $V_{DD}^2$ .  $V_{DD}$  merupakan tegangan supply. Daya statik ditentukan oleh *leakage current*. Disini berarti jika  $V_{DD}$  diturunkan, maka akan menurunkan konsumsi daya. Akan tetapi menurunkan  $V_{DD}$ , juga berarti menurunkan *current drive*. Hal ini disebabkan oleh karena *current drive* proporsional dengan  $(V_{DD} - V_T)^2$  dengan  $V_T$  adalah tegangan *threshold* [2].

Disebabkan hal-hal di atas, harus dilakukan penurunan skala divais dan penurunan tegangan *threshold* atau  $V_T$ . Akan tetapi, muncul masalah lain, yaitu *short channel effect* yang mengakibatkan peningkatan *leakage current*, yang berarti naiknya konsumsi daya statik. Di samping itu, penskalaan divais memerlukan tingkat teknologi yang lebih baik dan kompleks. Oleh karenanya, mengembangkan kecepatan rangkaian pada tegangan rendah merupakan suatu tantangan.

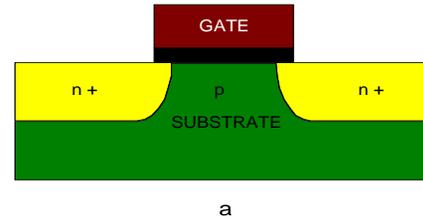
Kebutuhan divais berperformansi tinggi, daya rendah, dan juga ekonomis terus meningkat; oleh karenanya, teknologi *Graded Channel MOSFET* dikembangkan dengan tujuan untuk memperoleh divais yang memiliki peningkatan kecepatan pada tegangan yang lebih rendah, tetapi juga lebih ekonomis.

## 2. Metode Penelitian

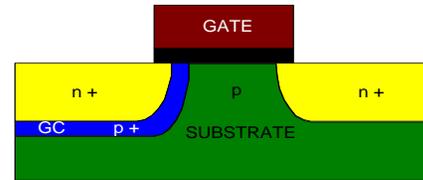
Struktur *GCMOSFET* hampir sama dengan struktur *MOSFET ungraded*, kecuali pada implantasi pengatur tegangan *threshold*,  $V_T$ , pada *MOSFET* diganti dengan suatu implantasi *graded-channel* pada sisi *source* saja (disebut *unilateral*). *Species* implantasi *GC* (*graded-channel*) berlawanan dengan yang terdapat pada *source/drain*, sebagai contoh suatu *GC* tipe-p untuk divais n-channel dan *GC* tipe-n untuk divais p-channel. [3]. Gambar 1 menunjukkan struktur dasar divais untuk *unilateral GCMOSFET* dibandingkan dengan divais *MOSFET ungraded*.

Gambar 2 menunjukkan bentuk *doping* dari struktur *GCMOSFET*. Dibandingkan dengan *MOSFET ungraded* dengan *channel* terdoping merata, maka *doping channel* sepanjang permukaan pada *GCMOSFET* adalah “bertingkat” atau “*graded*”.

Divais *GCMOSFET*, seperti ditunjukkan Gambar 3, dapat dilihat sebagai dua subdivais yang dihubungkan series, satu pada sisi *source* dan yang lain pada sisi *drain*, dengan tegangan *threshold* ( $V_T$ ) masing-masing yang berbeda. Pada sisi *source*, karena *doping GC* yang lebih tinggi daripada *doping well*, subdivais dengan panjang “*channel*”  $L_{en}$  memiliki  $V_T$  yang lebih tinggi.

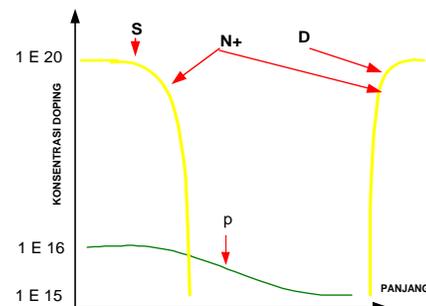


a



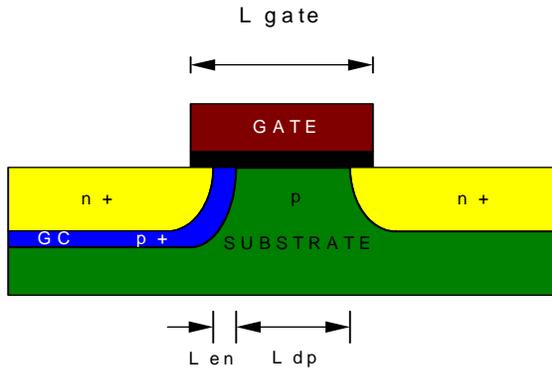
b

Gambar 1. Struktur divais (a) *CMOS ungraded*, (b) *GCMOSFET unilateral*



Gambar 2. Bentuk *doping* dari *unilateral GCMOSFET*

Sebaliknya pada sisi *drain*, *doping channel* sama dengan *doping well*, karenanya subdivais ini memiliki  $V_T$  yang lebih rendah dengan suatu panjang *channel*  $L_{dp}$ .  $V_T$  dari *GCMOS* ditentukan oleh subdivais pada sisi *source*. Panjang *channel* efektif ditentukan oleh *region GC* yaitu  $L_{en}$ , yang tentunya jauh lebih pendek daripada panjang *gate* secara fisik. Sebagai hasilnya, untuk panjang *gate* secara fisik yang sama, divais *GCMOSFET* dapat menghasilkan arus *drive* yang lebih tinggi dan puncak transkonduktansi yang lebih tinggi dibandingkan divais *MOSFET ungraded*, berarti menghasilkan suatu divais berperformansi tinggi. Implantasi *GC* juga efektif untuk menekan *short channel effect*. Karenanya, dibandingkan dengan *MOSFET ungraded*, *GCMOSFET* memberikan suatu divais dengan arus *drive* yang lebih tinggi. Di samping itu, teknologi *GCMOSFET* adalah kompatibel dengan teknologi *CMOS*.



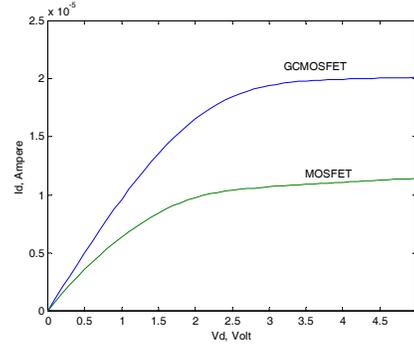
Gambar 3. Struktur GCMOSFET unilateral menunjukkan konsep dari dua subdivais.

Teknologi GCMOSFET berdasarkan proses CMOS, dengan modul GC ditambahkan untuk menggantikan modul implantasi  $V_T$  ditambah modifikasi minor pada front-end-of-the-line (FEOL), atau bagian awal proses, untuk mengoptimasi GCMOSFET. Back-end-of-the-line (BEOL), atau bagian akhir dari proses, adalah identik dengan teknologi CMOS. Karena modul GC hanya merupakan penambahan pada proses GCMOSFET, sembarang garis produksi dengan kapabilitas submikron dapat menghasilkan GCMOSFET performansi tinggi tanpa peningkatan teknologi yang berlebihan, yang berarti menghasilkan suatu penghematan biaya yang penting.

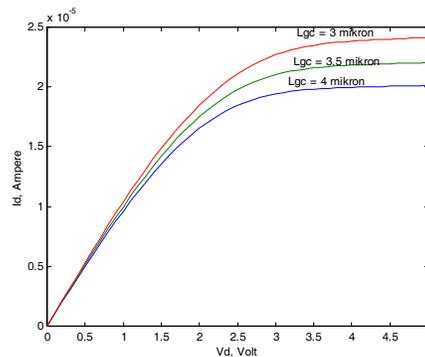
### 3. Hasil dan Pembahasan

Pada bagian ini akan diperlihatkan hasil simulasi dari MOSFET ungraded dan GCMOSFET. Simulasi dilakukan dengan bantuan perangkat lunak S-PISCES2B [4] dan MATLAB [5].

Gambar 4 menunjukkan hasil simulasi yang membandingkan  $I_D$  yang dihasilkan dari MOSFET dan GCMOSFET dengan  $L_{Gate}$  (panjang Gate) yang sama yaitu  $6 \mu m$ , dan  $L_{GC}$  (panjang Graded Channel) pada GCMOSFET sama dengan  $4 \mu m$ . Pada kedua divais diberikan  $V_{GS} = 4 V$ . Hasil yang ditunjukkan memperlihatkan bahwa dengan  $V_{GS}$  dan  $V_{DS}$  yang sama,  $I_D$  yang dihasilkan oleh GCMOSFET lebih besar daripada  $I_D$  yang dihasilkan oleh MOSFET, atau dapat juga dikatakan untuk menghasilkan  $I_D$  yang sama, maka  $V_{GS}$  dan  $V_{DS}$  dari GCMOSFET lebih kecil daripada  $V_{GS}$  dan  $V_{DS}$  dari MOSFET. Dalam hal ini, berarti GCMOSFET mengkonsumsi daya yang lebih rendah daripada MOSFET.



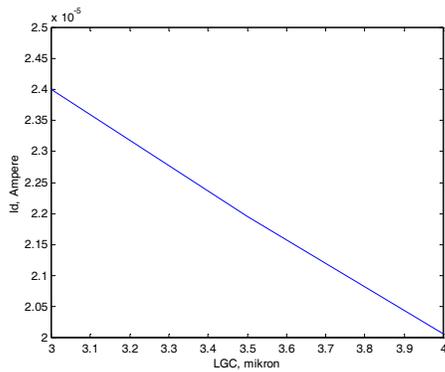
Gambar 4. Hasil simulasi  $I_D$  terhadap  $V_D$  dari MOSFET ( $L_{Gate} = 6 \mu m$ ) dan GCMOSFET ( $L_{Gate} = 6 \mu m$ ,  $L_{GC} = 4 \mu m$ ) pada  $V_{GS} = 4 V$



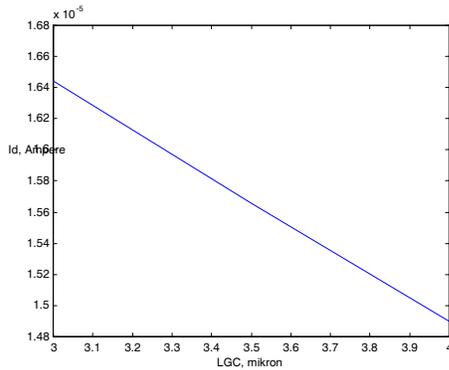
Gambar 5. Simulasi  $I_D - V_D$  dari GCMOSFET ( $L_{Gate} = 6 \mu m$ ) dengan panjang graded channel ( $L_{GC}$ ) yang Berbeda pada  $V_{GS} = 4 V$

Pada Gambar 5 ditunjukkan hasil simulasi dari divais dengan  $L_{GC}$  yang berbeda, dan memiliki  $L_{Gate}$  yang sama. Simulasi  $I_D - V_D$  diukur pada  $V_{GS} = 4 V$ . Gambar 5 ini menunjukkan bahwa dengan  $L_{GC}$  (panjang Graded Channel) yang semakin pendek akan menghasilkan  $I_D$  yang lebih besar.  $I_D$  yang dihasilkan oleh GCMOSFET dengan  $L_{GC} = 3 \mu m$  lebih besar daripada  $I_D$  yang dihasilkan oleh GCMOSFET dengan  $L_{GC} = 3,5 \mu m$ . Dan  $I_D$  yang dihasilkan oleh GCMOSFET dengan  $L_{GC} = 3,5 \mu m$  lebih besar daripada  $I_D$  yang dihasilkan oleh GCMOSFET dengan  $L_{GC} = 4 \mu m$ .

Pada Gambar 6 ditunjukkan hasil simulasi perbandingan  $I_D$  terhadap  $L_{GC}$  yang berbeda dari GCMOSFET dengan panjang gate yang sama, dan diukur pada daerah saturasi pada  $V_{GS} = 4 V$ ,  $V_{DS} = 4.5 V$ . Pada Gambar 6 ini dapat dilihat bahwa nilai  $I_D$  menurun dengan bertambah panjangnya  $L_{GC}$ .



**Gambar 6.** Simulasi perbandingan  $I_D$  dengan  $L_{GC}$  yang berbeda dari *GCMOSFET* ( $L_{Gate} = 6 \mu m$ ) pada daerah saturasi pada  $V_{GS} = 4 V$ ,  $V_{DS} = 4.5 V$



**Gambar 7.** Simulasi perbandingan  $I_D$  dengan  $L_{GC}$  yang berbeda dari *GCMOSFET* ( $L_{Gate} = 6 \mu m$ ) pada daerah linear pada  $V_{GS} = 4 V$ ,  $V_{DS} = 1.7 V$

Pada Gambar 7 yang menunjukkan hasil simulasi perbandingan  $I_D$  dengan  $L_{GC}$  yang berbeda dari *GCMOSFET* dengan  $L_{Gate}$  yang sama pada daerah linear diukur pada  $V_{GS} = 4 V$ ,  $V_{DS} = 1.7 V$ . Gambar 7 ini juga menunjukkan bahwa nilai  $I_D$  akan menurun dengan bertambah panjangnya  $L_{GC}$ .

#### 4. Kesimpulan

Dari tulisan ini dapat diambil kesimpulan bahwa *GCMOSFET* dapat menghasilkan suatu divais dengan panjang *channel* efektif yang lebih pendek daripada panjang *gate* secara fisik. Dalam hal ini dapat diperoleh suatu divais yang kecil, tanpa memerlukan

penekanan teknologi yang berlebihan. Karena *GCMOSFET* memiliki panjang *channel* efektif yang lebih pendek daripada panjang *channel* efektif *MOSFET ungraded*, sehingga *GCMOSFET* menghasilkan arus  $I_D$  yang lebih besar daripada arus  $I_D$  yang dihasilkan oleh *MOSFET ungraded*. Dari hasil simulasi dengan perangkat lunak *S-PISCES 2B*, dapat dilihat bahwa *GCMOSFET* menghasilkan  $I_D$  yang lebih besar jika dibandingkan dengan *MOSFET ungraded*. Sebagai contoh, untuk  $V_{GS} = 4 V$  dan  $V_{DS} = 2 V$ ,  $I_D$  pada *MOSFET* sama dengan  $9,78E-06 A$ , sedangkan pada *GCMOSFET* sama dengan  $16,56E-06 A$ . Untuk memperoleh  $I_D$  tertentu, pada *GCMOSFET* diperlukan  $V_G$  dan  $V_D$  yang lebih kecil dibandingkan dengan  $V_G$  dan  $V_D$  yang diperlukan *MOSFET ungraded*, berarti *GCMOSFET* mengkonsumsi daya yang lebih rendah dibandingkan *MOSFET ungraded*. Sebagai contoh dari hasil simulasi untuk menghasilkan  $I_D = 11,32E-06 A$  pada *MOSFET* diperlukan  $V_G = 4 V$  dan  $V_D = 4,7 V$ , sedangkan pada *GCMOSFET* diperlukan  $V_G = 4V$  dan  $V_D = 1,2 V$ . Berdasarkan hasil simulasi terbukti bahwa *GCMOSFET* dengan  $L_{GC}$  (panjang *region graded channel*) yang lebih pendek akan menghasilkan  $I_D$  yang lebih besar dibandingkan dengan  $I_D$  yang dihasilkan *GCMOSFET* dengan  $L_{GC}$  yang lebih panjang. Sebagai contohnya untuk  $V_G = 4 V$  dan  $V_D = 2 V$ , pada *GCMOSFET* dengan  $L_{GC} = 4 \mu m$  diperoleh  $I_D = 16,56E-06 A$ , pada *GCMOSFET* dengan  $L_{GC} = 3,5 \mu m$  diperoleh  $I_D = 17,51E-06 A$ , dan pada *GCMOSFET* dengan  $L_{GC} = 3 \mu m$  diperoleh  $I_D = 18,49E-06 A$ .

#### Daftar Acuan

- [1] J. Ma, H-B. Liang, M. Kaneshiro, C. Kyono, R. Pryor, K. Papworth, S. Cheng, Proceedings of the 1996 International Symposium on Low Power Electronics and Design, California, USA, 1996, p. 129.
- [2] N.H.E. Weste, K. Eshraghian, Principles of CMOS VLSI Design, 1st. Ed., Addison-Wesley, Massachusetts, 1985.
- [3] J. Ma, B.L. Han, R.A. Pryor, S. Cheng, M.H. Kaneshiro, C.S. Kyono, K. Papworth, IEEE Trans. VLSI System 5 (1997) 352.
- [4] Silvaco International Corp., S-Piscses2B Version 4.09 User Manual, Silvaco Corp., Santa Clara, 1991.
- [5] The Math Works Inc., The Student Edition of MATLAB for MS-DOS Personal Computers, Prentice-Hall, New Jersey, 1992.