

# Implementasi PCM-Companding dan Run Length Encoding Menggunakan FPGA Untuk Perekaman Sinyal Suara Pada Modul DRAM

Indar Sugiarto<sup>1</sup>, Siti Halimah Baki<sup>2</sup>

<sup>1</sup>Fakultas Teknologi Industri, Jurusan Teknik Elektro, Universitas Kristen Petra

<sup>2</sup>Fakultas Teknologi Industri, Jurusan Teknik Elektro, Institut Teknologi Sepuluh Nopember

## Abstrak

Teknik reduksi data dikembangkan untuk membantu membangun sebuah sistem yang kompleks dimana sistem tersebut menghasilkan atau membutuhkan data dalam jumlah yang besar. Seringkali jumlah data yang besar ini melebihi kapasitas memori yang dimiliki oleh sistem tersebut. Sehingga diperlukan suatu metode untuk mengurangi jumlah data tersebut tanpa menghilangkan informasi asli yang terkandung dalam data tersebut. Dengan demikian, rekonstruksi ulang dari data yang telah direduksi tersebut akan menghasilkan informasi yang mendekati sama dengan aslinya. Selain itu, metode yang dipakai juga harus bisa berjalan pada mode real-time.

Dalam tulisan ini dibahas algoritma pereduksian data dengan metode Run Length Encoding untuk perekaman sinyal suara dengan teknik PCM-Companding yang disimpan dalam Single In Line Memory Module. Dengan menggunakan teknik pereduksian data ini, kapasitas penyimpanan informasi dari chip memory tersebut akan meningkat.

**Kata kunci** : Companding, Run Length Encoding, Field Programmable Gate Array, modul memory (SIMM)

## Abstract

*Data Reduction Techniques have been developed to support a complex system which produces or requires a big amount of data. Sometimes, this bulky data require more spaces other than that provided by the system's memory. So, we need a method for reducing this huge data without losing the original information. Thus, reconstruction from the reduced data will produce the information near the same of the original. Another concern, the method should run in the real-time mode.*

*In this paper, we discuss data reduction algorithms using Run Length Encoding method for voice signal recording which is sampled using PCM-Companding technique and being stored in Single In Line Memory Module (SIMM) DRAM. By implementing this reduction technique, the information storage capacity of the memory chips should be sufficiently increased.*

**Keywords** : Companding, Run Length Encoding, Field Programmable Gate Array, memory module (SIMM)

## Pendahuluan

Alat perekam suara seperti mesin penjawab telepon konvensional menggunakan pita kaset sebagai media perekam sedangkan alat perekam suara modern menggunakan chip-chip memory sebagai media penyimpanan informasi (pesan). Keuntungan dari sistem digital tersebut adalah fidelitas, kapabilitas dan portabilitas yang tinggi. Akan tetapi sistem digital tersebut membutuhkan memory dalam jumlah yang cukup besar sehingga harganya menjadi tidak murah. Dengan menggunakan teknik pereduksian data, jumlah chip memory yang dibutuhkan dapat diperkecil sehingga harganya menjadi lebih murah. Ada beberapa teknik pereduksian data yang sekarang ini banyak dipakai baik yang tergolong *lossless* ataupun

*lossy*, diantaranya: Run Length Encoding, Huffman Coding, PCM-Companding, dan sebagainya.

Sementara itu, perkembangan dunia elektronika mengharuskan seorang desainer sistem elektronik untuk mendisain sistem yang kompleks dalam bentuk yang kompak tetapi mempunyai kinerja yang memuaskan. Terlebih dengan dikembangkannya teknologi *Programmable Logic Device (PLD)* seperti *Field Programmable Gate Array (FPGA)* menjadikan disain sistem elektronik digital semakin fleksibel dan kompak.

Dalam proyek ini telah dicoba implementasi teknik reduksi data secara real time menggunakan teknologi HDL-FPGA dan menerapkannya pada alat perekam suara digital. Konsep tentang perekaman sinyal suara, algoritma kompresi data, dan teknologi HDL-FPGA di bahas di bagian awal tulisan ini. Hasil simulasi maupun pengujian sistem diberikan dibagian

---

**Catatan**: Diskusi untuk makalah ini diterima sebelum tanggal 1 Mei 2002. Diskusi yang layak muat akan diterbitkan pada Jurnal Teknik Elektro volume 2, nomor 2, September 2002.

akhir tulisan ini untuk melengkapi kesimpulan yang dibuat.

**Teknik Reduksi Data Sinyal Suara**

Secara umum teknik reduksi data (kompresi data) dapat digolongkan dalam dua kelompok besar, yaitu *lossy compression* dan *lossless compression*. Reduksi data dengan metode *lossy compression* memiliki tingkat kompresi yang tinggi tetapi tingkat akurasi berkurang (dan semakin berkurang dengan semakin tingginya rasio kompresi). Sedangkan pada teknik reduksi data secara *lossless*, tidak diijinkan terjadinya kehilangan akurasi.

Pada aplikasi pemrosesan sinyal suara, teknik kompresi *lossy* paling banyak dipakai karena pengkodean sinyal suara tidak mungkin sempurna. Teknik pengkodean sinyal suara ini biasa disebut *irreversible coding*. Teknik pendigitalan suara percakapan dapat digolongkan dalam dua kelompok besar, yaitu: pengkodean yang mendekati sinyal aslinya (*waveform coding*) dan pengkodean yang memanfaatkan aspek-aspek sinyal suara percakapan (*analysis-synthesis method*). Teknik yang paling umum digunakan dari kelompok pertama adalah *Pulse Code Modulation (PCM)* dan *Delta Modulation (DM)*. Sedangkan kelompok kedua lebih dikenal dengan nama *vocoder (voice coder)* yang lebih menekankan pada proses pengkodean-pendekodean dengan bit-rate sangat rendah.

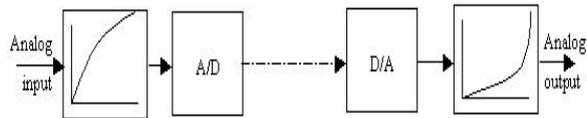
**1. PCM-Companding**

PCM adalah pengembangan dari PAM (*Pulse Amplitude Modulation*) dimana tiap-tiap sampel analog dikuantisasi dan disajikan dalam bentuk kode-kode digital. Proses kuantisasi tersebut menggunakan ADC. Data hasil kuantisasi dapat diubah kembali ke dalam bentuk analog dengan menggunakan DAC.

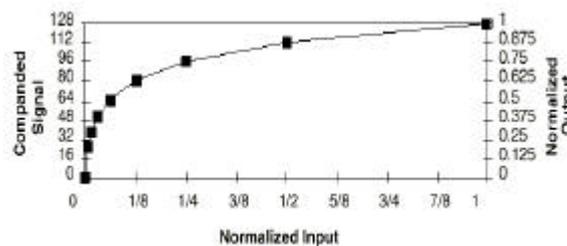
Sinyal suara manusia mempunyai bandwidth antara 300 Hz hingga 3400 Hz. Menurut teorema Nyquist, frekuensi sampling minimum adalah dua kali bandwidth dari sinyal yang di sampling untuk mencegah terjadinya aliasing. CCITT merekomendasikan bit rate untuk PCM adalah sebesar 100 bps (bit per second), atau dengan kata lain, sinyal suara disampling pada frekuensi 8 kHz dengan bit kuantisasi sebesar 13 bit.

Proses pengkodean PCM ini tidak mereduksi (mengompres) sinyal suara. Karenanya untuk mengurangi besarnya bit rate, bisa menggunakan

log PCM (*logarithmic PCM*) yaitu sinyal suara di kompres dengan suatu transformator logaritmik sebelum proses kuantisasi dan pengkodean. Proses ini sering juga dikenal dengan nama *companding (compressing-expanding)*, sehingga sistem ini disebut juga *companded-PCM*. Prosesnya ditunjukkan pada gambar 1. Efek dari proses kompresi tersebut ditunjukkan pada gambar 2. Pada gambar tersebut terlihat bahwa interval sinyal input yang besar dan berurutan di kompres menjadi interval kuantisasi dengan lebar yang konstan. Sinyal analog dikembalikan (di-expand) ke bentuk semula melalui proses kebalikannya.



Gambar 1. Companded PCM



Gambar 2. Kurva companding

Companding dapat dibuat secara software (algoritma) baik menggunakan perhitungan langsung atau menggunakan pendekatan look-up table. Pada saat ini dikenal dua macam karakteristik standard companding:  $\mu$ -law and A-law. Kedua standard tersebut mengompres data menjadi 8 bit dengan tetap mempertahankan presisi data hingga lima bit. Metode  $\mu$ -law digunakan di Amerika Utara dan Jepang, sedangkan metode A-law digunakan di Eropa. Metode  $\mu$ -law didefinisikan menggunakan persamaan sebagai berikut:

Compressing:

$$F(x) = \text{sgn}(x) \ln(1 + \mu |x|) / \ln(1 + \mu) \quad -1 \leq x \leq 1 \quad (1)$$

Expanding:

$$F^{-1}(y) = \text{sgn}(y) (1 / \mu) [(1 + \mu)^{|y|} - 1] \quad -1 \leq y \leq 1 \quad (2)$$

Sedangkan metode A-law didefinisikan dari persamaan berikut:

Compressing:

$$F(x) = \begin{cases} \text{sgn}(x) A |x| / (1 + \ln A) & 0 \leq |x| < 1/A \\ \text{sgn}(x) (1 + \ln A|x|) / (1 + \ln A) & 1/A \leq |x| \leq 1 \end{cases} \quad (3)$$

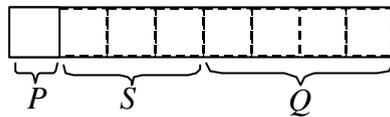
Expanding:

$$F^{-1}(y) = \text{sgn}(y)|y|^{1+\ln(A)}/A, \quad 0 \leq |y| \leq 1/(1+\ln(A)) \quad (4)$$

atau

$$F^{-1}(y) = \text{sgn}(y)e^{-|y|^{1+\ln(A)}-1}/[A + A\ln(A)], \quad (5)$$

dimana  $1/(1 + \ln(A)) \leq |y| \leq 1$

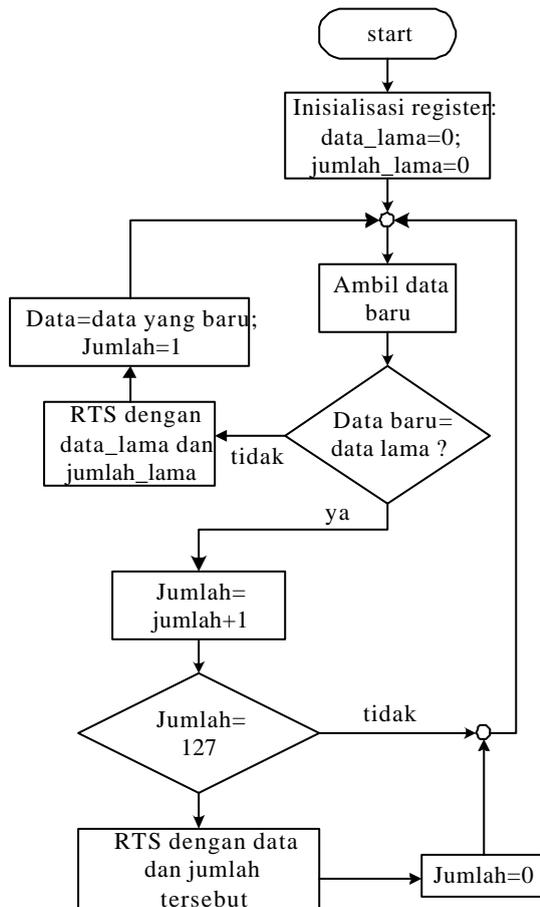


Bit polaritas P = 0 untuk sampel sinyal positif, dan = 1 untuk sampel sinyal negatif

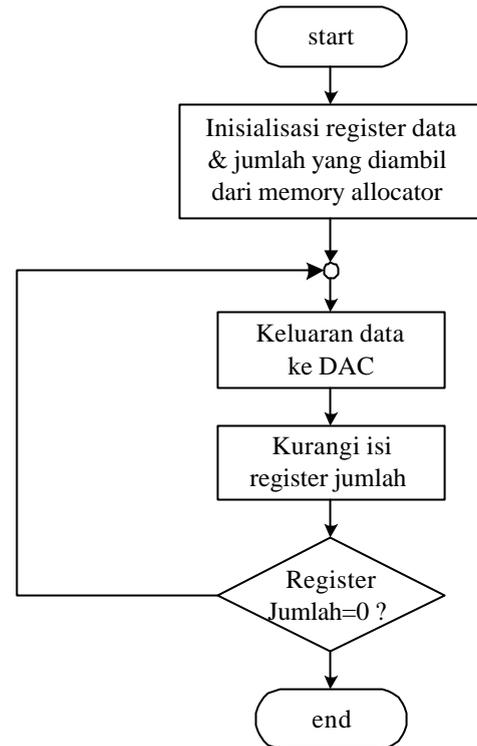
Gambar 3. Format 8-bit PCM  $\mu$ -law

## 2. Run Length Encoding(RLE)

Teknik RLE merupakan teknik kompresi yang banyak diterapkan untuk file-file gambar dan faksimili. Format gambar yang memanfaatkan teknik RLE antara lain MacPaint dan PCX. RLE memanfaatkan tingkat korelasi yang tinggi yang terjadi pada bit-bit yang berurutan pada perulangan karakter. Format data RLE adalah  $\{v_1, l_1, v_2, l_2, \dots\}$  dimana  $v_i$  adalah nilai datanya, sedangkan  $l_i$  adalah panjang datanya.



Gambar 4. Flowchart untuk pengkodean RLE



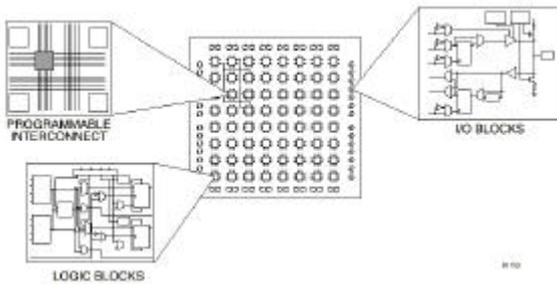
Gambar 5. Flowchart untuk pendekodean RLE

## Teknologi HDL-FPGA

Adalah teknologi perancangan sistem hardware elektronika terpadu dengan bantuan bahasa pemrograman khusus pada divais logika yang bisa diprogram (*programmable logic device*). Sedangkan jenis divais yang dipakai adalah FPGA (*Field Programmable Gate Array*). Dengan teknologi ini, sebuah chip FPGA bisa disimulasi dan diprogram sehingga bisa melakukan fungsi-fungsi khusus. Untuk proyek ini, FPGA yang dipakai adalah dari keluarga XC4000 dari Xilinx.

### 1. FPGA XC4000

FPGA tersusun dari sejumlah *combinatorial logic*, atau oleh Xilinx disebut CLB (*Configurable Logic Block*) dalam bentuk LUT (*Look-Up Table*) yang dibangun dari *logic function generator*. Blok-blok logika tersebut dapat saling dihubungkan menurut kehendak pemakai melalui elemen-elemen yang dapat diprogram. Kemudian diluar blok-blok logika tersebut masih ada blok-blok I/O (*Input/ Output*) yang menangani urusan input dan output.

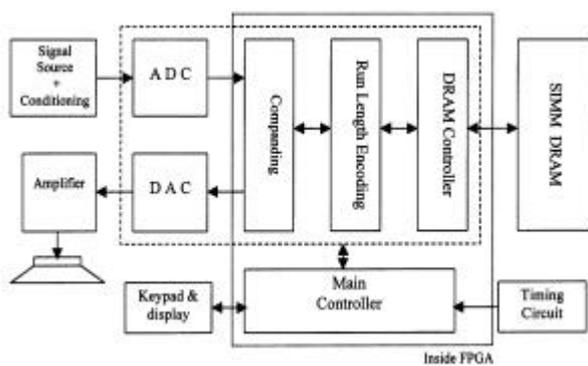


Gambar 6. Arsitektur Umum FPGA

Dari gambar 6 tampak bahwa arsitektur FPGA Xilinx tersusun atas 3 komponen utama, yaitu :

- **CLB**  
Adalah elemen FPGA yang dapat diprogram oleh user untuk didesain menjadi logic-logic tertentu.
- **I/O Blocks (IOB).**  
Berguna untuk menghubungkan sinyal internal FPGA ke pin luar FPGA.
- **PI (Programmable Interconnect)**  
Berupa jalur-jalur yang menghubungkan antar bagian dalam FPGA (CLB maupun IOB) dan dapat diprogram.

CLB-CLB diatur dalam suatu array dengan matriks saklar yang bisa diprogram (programmable interconnect, disebut juga programmable switch matrix atau PSM) seperti ditunjukkan pada gambar 6.



Gambar 7. Blok diagram sistem

## 2. Hardware Description Language (HDL)

HDL digunakan untuk mendeskripsikan perangkat keras dengan tujuan simulasi, pemodelan, test, perancangan dan dokumentasi dari suatu sistem digital. Xilinx menyediakan seperangkat software pendukung untuk FPGA yang diproduksinya berupa *software Xilinx Foundation Series* (biasa disingkat *Foundation*). *Foundation* menyediakan beberapa format HDL

yang diintegrasikan dalam suatu lingkungan pengembangan terpadu (IDE, *Integrated Development Environment*). Program ini dapat digunakan untuk:

- Memasukkan disain (*Design Entry*) baik berupa disain skematik, VHDL, state machine maupun kombinasi ketiganya.
- Mensintesis hasil disain menjadi *netlist*.
- Melakukan simulasi baik fungsional maupun timing berdasarkan *netlist* tersebut.
- Mengimplementasikan disain untuk menghasilkan file.BIT yang dapat digunakan untuk mengkonfigurasi FPGA.

## Perancangan Perangkat Keras

### 1. Blok diagram sistem

Berikut ini adalah implementasi proyek dalam blok diagram sistem secara keseluruhan.

### 2. Main controller

Proses secara keseluruhan dikontrol oleh *Main controller* sebagai unit pemroses utama. Kontroller juga menerima input dari keypad untuk mengaktifkan fungsi tertentu, seperti memutar rekaman, menghapus rekaman dan membatalkan rekaman, serta menampilkan nomor rekaman pada display.

### 3. Comanding

Bagian inilah yang berfungsi mengimplementasikan algoritma PCM-Comanding. Terdiri dari dua bagian: coder yang digunakan untuk mengkompres data, dan decoder yang digunakan untuk mengembalikan data yang dikompres ke bentuk aslinya. Data keluaran dari ADC akan dikompres oleh coder menjadi data 8 bit, sedangkan decoder akan mengembalikan format data 8 bit ini menjadi 12 bit.

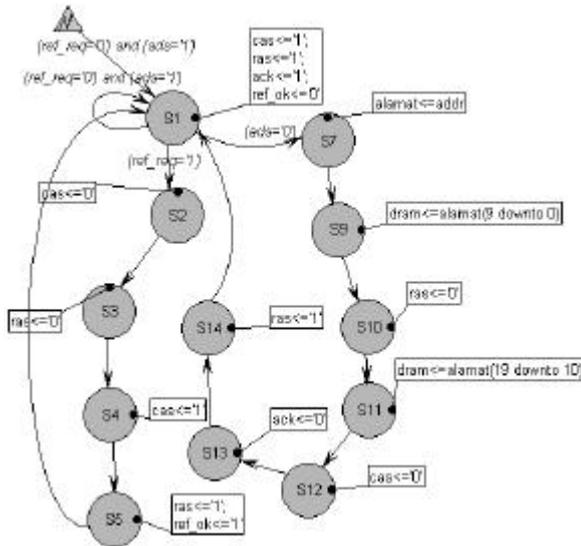
### 4. Run Length Encoding

Bagian ini mempunyai fungsi yang sama dengan PCM-Comanding, yaitu implementasi dari teknik kompresi RLE. Di dalamnya dilengkapi pembangkit sinyal kontrol untuk *DRAM Controller* untuk menandakan kapan saatnya membaca atau menulis data ke memory.

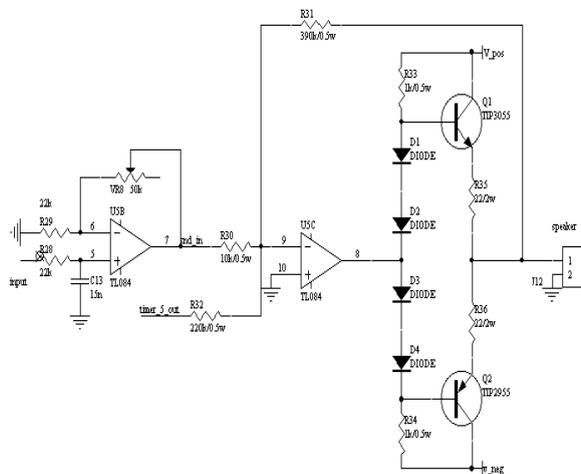
### 5. DRAM Controller

Bagian ini berfungsi untuk antarmuka (*interface*) dengan memori dinamis (DRAM). Di dalam

bagian ini terdapat “address multiplexer” yang menghubungkan address-bus sistem dengan address-bus DRAM, yang dilengkapi dengan pulsa RAS dan CAS. Selain itu, bagian ini yang membangkitkan pulsa refresh untuk DRAM untuk mengatur refresh-cycle DRAM tersebut. Perancangan dari DRAM controller ditunjukkan oleh state-machine pada gambar 8.



Gambar 8. State machine dari DRAM controller



Gambar 9. Amplifier

## 6. Signal Source + Conditioning

Bagian ini mengambil sinyal dari sumber sinyal luar dan menyesuaikan dengan level ADC yang digunakan. Di dalamnya juga terdapat filter untuk membatasi sinyal suara (bandpass filter) dan juga untuk anti-aliasing.

## 7. Amplifier

Bagian ini berfungsi untuk memperkuat sinyal analog yang dihasilkan oleh DAC. Dipilih amplifier class AB (*quasy complemter*) untuk menghemat pemakaian daya karena amplifier ini dikenal memiliki efisiensi yang cukup tinggi.

## Pengujian Sistem

Pengujian yang dilakukan di sini meliputi pengujian perangkat keras hasil perancangan, pengujian melalui simulasi HDL, dan pengujian sistem secara keseluruhan yaitu implementasi hasil sintesis HDL ke dalam perangkat keras.

### 1. Pengujian Filter

Pengujian bandpass filter dilakukan dengan memberikan sinyal masukan bervariasi dan mengamati amplitudo sinyal keluaran dari filter. Tabel 1 berikut ini menunjukkan hasil pengukuran dengan amplitudo sinyal input dibuat tetap (2.5V) tetapi frekuensinya yang diubah.

Tabel 1. Hasil pengujian bandpass filter

Frekuensi sinyal input (Hz)	Amplitudo sinyal output (V)
10	0,05
50	0,2
100	1,5 <sup>+</sup>
200	1,9
300	2,2
500	2,3
1000	2,35
1500	2,3
2000	2,2
3000	1,7
5000	0,8 <sup>+</sup>
10000	0,04

(<sup>+</sup>) timbul noise

Hasil perancangan menunjukkan titik cut-off berada pada frekuensi 300 Hz dan 3400 Hz. Tetapi hasil pengukuran langsung menunjukkan bahwa frekuensi cut-off agak bergeser ke bawah (semakin kecil).

## 2. Implementasi FPGA

Berikut ini adalah total kebutuhan CLB untuk implementasi makro-makro yang digunakan.

Tabel 2. Tabulasi penggunaan CLB

Makro	Penggunaan CLB	
	Total	Equivalent gate count
PCM-compressing	18 (9,2%)	208
PCM-expanding	16 (8,2%)	211
RLE-coder	30 (15,3%)	627
RLE-decoder	20 (10,2%)	360
DRAM Controller	28 (14,3%)	545
Clock Synchronizer	2 (1%)	42
Anti bouncing	8 (4,1%)	168
Main controller	74 (37,8%)	1554

### 3. Pengujian Perakaman

Pengujian berupa perekaman di sini dimaksudkan untuk menguji sistem perekam (ADC-DAC, memory, dan penguat akhir) tanpa proses kompresi RLE, apakah sudah berfungsi dengan baik. Kemudian membandingkannya dengan sistem perekam dengan memanfaatkan proses kompresi RLE dan membandingkan performansinya dengan proses perekaman sebelumnya. Proses perekaman dilakukan dengan memberikan sinyal input sinusoidal dengan frekuensi diubah-ubah. Sinyal ini direkam hingga semua alamat DRAM terisi semua, kemudian diukur waktu yang dibutuhkan untuk mengisi seluruh DRAM, sekaligus mengambil contoh sinyal hasil perekaman yang dikirim ke penguat akhir (penguat daya). Pada saat pengujian dilakukan, DRAM yang dipakai mempunyai kapasitas sebesar 1 Mega byte. Kompresi yang dibandingkan adalah RLE, sedangkan PCM-Comanding sudah pasti digunakan pada kedua tahap pengujian untuk menghemat pemakaian pin FPGA. Dengan demikian, rasio sesungguhnya yang didapat adalah dua kali rasio hasil pengukuran. Tabel berikut ini menunjukkan perbandingan kedua macam pengujian tersebut.

Tabel 3. Hasil pengujian perekaman

Frekuensi sinyal input (Hz)	Lama waktu perekaman rata-rata (det)		Rasio kompresi rata-rata (%)
	tanpa kompresi	dengan kompresi	
50	144.72	237.774	164.3
100	144.868	156.142	107.78
300	144.68	320.33	221.41
500	144.738	278.006	192.07
1000	144.668	183.392	126.76
2000	144.934	144.46	99.67
3000	145.084	227.9	157.08
5000	144.712	144.428	99.8
10000	144.652	237.432	164.14

Dari tabel hasil pengujian di atas dapat diketahui beberapa hal sebagai berikut. Sinyal dengan frekuensi 50 Hz dapat dikompresi lebih baik dibanding sinyal frekuensi 100 Hz. Hal ini menunjukkan bahwa sinyal 50 Hz tersebut telah diredam lebih banyak oleh filter, sehingga semakin banyak sampel sinyal yang mendekati level kuantisasi nol. Sinyal-sinyal pada *bandwidth* percakapan (300 Hz – 3400 Hz) memiliki tingkat kompresi semakin menurun. Hal ini terjadi karena semakin kecil frekuensi sinyal yang disampling, maka data hasil sampling akan memiliki kemungkinan sama yang lebih besar. Dengan demikian akan semakin banyak data yang sama yang dikompres. Untuk sinyal-sinyal di atas *bandwidth* percakapan manusia, rasio kompresi juga menunjukkan kenaikan. Hal ini menunjukkan bahwa sinyal-sinyal dengan frekuensi yang tinggi telah diredam sebelumnya oleh filter.

Dari uji perekaman di sini bisa diketahui tiga hal penting. Pertama, kapasitas memori sebesar 1 Mega byte bisa digunakan untuk menyimpan sinyal selama  $144/2 = 72$  detik pada frekuensi sampling sebesar 3,5 kHz. Secara teori, seharusnya lama waktu perekaman pada frekuensi sampling yang sama adalah :

$$\frac{\text{total kapasitas memori}}{\text{frekuensi sampling}} \quad (\text{dalam double byte})$$

yaitu  $512/7 = 73,14$  detik. Kedua, rasio kompresi untuk sinyal sinusoidal dengan frekuensi antara 300 Hz hingga 3400 Hz berkisar antara 442,8% hingga 199,4%. Rasio ini bisa semakin besar jika sinyal yang disimpan adalah sinyal suara yang memiliki banyak *pause* (diam atau tak bersuara). Ketiga, adanya filter yang membatasi lebar pita suara cukup membantu memperbesar rasio kompresi.

### Kesimpulan

Dari hasil perancangan dan pengujian terhadap sistem, didapat kesimpulan sebagai berikut:

- Teknik reduksi data dengan metode RLE dapat diimplementasikan pada FPGA XC4005XL dengan baik bersama-sama dengan metode kompresi PCM-*comanding*.
- Dengan kedua metode kompresi ini, kapasitas memori satu mega byte bisa menampung sinyal sinusoidal yang berada pada lebar pita frekuensi suara manusia selama 288 detik hingga 640 detik. Lama penyimpanan ini bisa semakin lama jika digunakan untuk merekam suara manusia yang memiliki banyak *pause*.

- Jika dibandingkan dengan Static RAM, penggunaan DRAM sebagai media penyimpanan memiliki keunggulan tersendiri, yaitu kapasitas yang besar, mudah diupgrade, dan jumlah pin FPGA yang dipakai juga lebih sedikit.

## Daftar Pustaka

- [1] \_\_\_\_\_, The Programmable Logic Data Book, Xilinx Inc., USA: 1999.
- [2] Bellamy, J., Digital Telephony, John Wiley & Sons, USA: 1982.
- [3] Castellano M. A. et al, *TMS320C6000: m-Law and A-Law Companding with Software of the McBSP*, Application Report, Texas Instruments, USA: 2000.
- [4] Furui, S., Digital Speech Processing, Synthesis, and Recognition, Marcel Dekker, Inc., USA: 1985.
- [5] Heimlich R. et al, Sound Blaster: The Official Book, McGraw-Hill Inc., USA: 1993.
- [6] Pelton G.D., Voice Processing, McGraw-Hill Inc., Singapore: 1993.
- [7] Pratt, W. K., Digital Signal Processing, Second Edition, Wiley-Interscience Publication. USA: 1991.
- [8] Prince, B., High Performance Memories: New Architecture DRAMs and SRAMs Evolution and Function, John Wiley & Sons. USA: 1996.
- [9] Skahill, K., VHDL for Programmable Logic, Addison-Wesley Publishing, Inc. USA: 1996.
- [10] Sumpeno, S, ST., *Perancangan dan Pembuatan Aplikasi Kompresi untuk Dokumen Berbahasa Indonesia*, Tugas Akhir JTE-FTI-ITS. Surabaya: 1996.
- [11] Tompkins, W. J., Biomedical Digital Signal Processing, Prentice-Hall International, USA: 1993.