

Perancangan IC Shift Register 8bit Serial In Serial Out (SISO) dengan Menggunakan Teknologi High Speed CMOS (HCMOS)

Jurusan Teknik Elektro, Universitas Brawijaya
Jalan MT. Haryono 167, Malang 65145, Indonesia
E-mail: anggerbaskoro@gmail.com

ABSTRAK – Perkembangan teknologi saat ini telah mengalami kemajuan yang sangat pesat. Salah satunya perkembangan teknologi di bidang elektronika. Penggabungan elektronika dan rangkaian terpadu (*integrated circuit*) memungkinkan terbentuknya chip yang kecil untuk kinerja yang tinggi guna untuk membantu menyelesaikan berbagai pekerjaan manusia. Perancangan ini memiliki tujuan untuk menganalisis dan merancang IC Shift Register 8bit Serial In Serial Out (SISO) dengan Menggunakan Teknologi High Speed CMOS (HCMOS). Dalam perancangan ini menggunakan perangkat lunak B²Spice dsan Microwind2. Catu daya yang akan digunakan adalah tegangan DC 5V dengan nilai kapasitor 10pF dan 15pF, frekuensi maksimal 50MHz

Kata kunci: *Integrated circuit, HCMOS, Shift Register.*

I. PENDAHULUAN

Penggabungan elektronika dan kelompok rangkaian terpadu (*integrated circuit*) memungkinkan terbentuknya chip yang kecil untuk kinerja tinggi guna membantu menyelesaikan berbagai pekerjaan manusia, seperti sistem kontrol, otomasi dan lain sebagainya. Semi konduktor oksida logam komplementer atau *complementary metal oxide semiconductor (CMOS)* akan menjawab masalah di atas.

Teknologi HCMOS adalah teknologi CMOS yang dirancang secara khusus sehingga memiliki *propagation delay* sama atau lebih baik dari TTL. Tujuan penelitian ini adalah merancang IC HCMOS Shift Register 8 bit Serial In Serial Out agar memperoleh *propagation delay* yang cepat dan disipasi daya yang seminimal mungkin sehingga memiliki unjuk kerja yang tinggi.

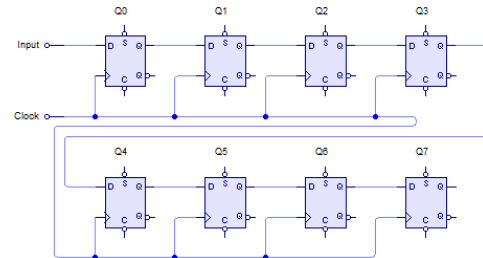
Pada perancangan terdahulu teknologi yang dipakai adalah CMOS dan aplikasinya Shift Register Serial In Serial Out memiliki 4 bit (Nusa, 2011). Perancangan lainnya teknologi yang dipakai adalah HCMOS diaplikasikan pada perancangan multiplexser 16 bit to 1 bit (Ahendyarti, 2012). Maka penelitian ini merupakan pengembangan dari dua referensi tersebut di atas, yaitu perancangan IC Shift Register 8 bit Serial In Serial Out (SISO) menggunakan teknologi HCMOS.

II. METODE

Langkah-langkah yang akan dilakukan diuraikan berikut ini:

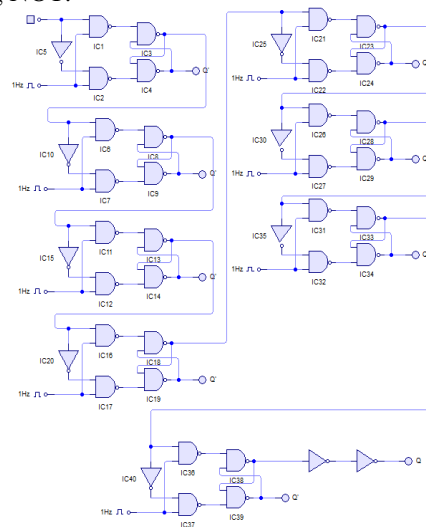
2.1 Perancangan Rangkaian Logika

Rangkaian ini terdiri atas delapan buah flip-flop dengan jenis flip-flop D yang terhubung satu sama lain secara seri jalur masukan dan keluaran. Gambar 1 menunjukkan rangkaian flip-flop D IC Shift Register 8 bit Serial In Serial Out.



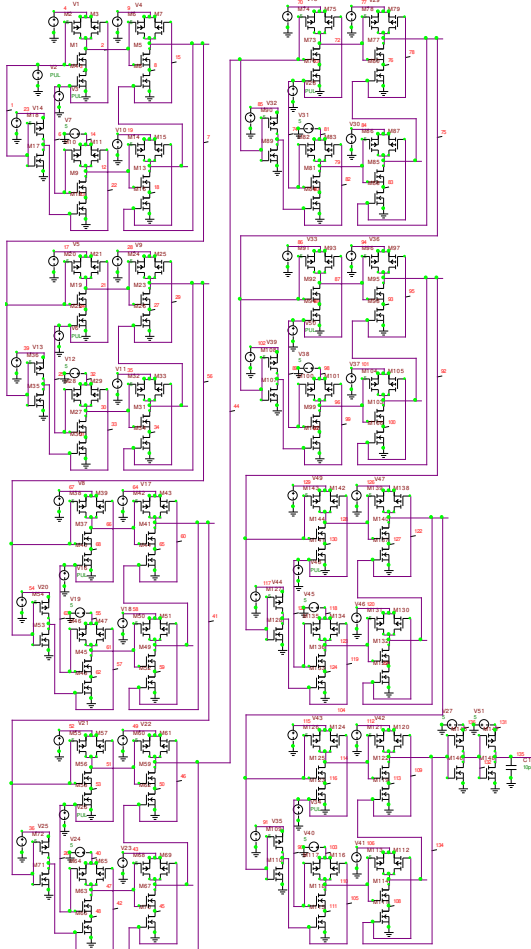
Gambar 1 Rangkaian flip-flop D IC Shift Register 8 bit Serial In Serial Out

Rangkaian logika IC Shift Register 8 bit Serial In Serial Out ditunjukkan dalam gambar 5. Dalam satu flip-flop terdapat 4 gerbang NAND dan 1 gerbang NOT maka total gerbang NAND 32 buah dan 8 buah gerbang NOT.



Gambar 2 Rangkaian logika IC Shift Register 8 bit Serial In Serial Out

Berikutnya rangkaian transistor Rangkaian logika IC Shift Register 8 bit Serial In Serial Out ditunjukkan pada Gambar 3. Terdiri dari 74 buah transistor PMOS dan 74 buah transistor NMOS.



Gambar 3. Rangkaian transistor pengganti HCMOS IC Shift Register 8 bit Serial In Serial Out

2.2 Proses Simulasi

Dalam proses simulasi memerlukan perangkat lunak dimulai dari bagian perancangan rangkaian gerbang logika, rangkaian penyusun tiap-tiap gerbang logika, penggambaran model IC serta hasil-hasil simulasi yang ditunjukkan di *software*, dan simulasi pembebanan kapasitif untuk menguji kebenaran perancangan yang dilakukan. *Software* yang digunakan diantaranya adalah DSCH, *Microwind*, *B²Spice*.

Penggunaan DSCH untuk menggambar susunan gerbang logika penyusun *shift register*, dan menguji kebenaran rangkaian *shift register 8bit*. Sedangkan simulasi pembebanan kapasitif menggunakan *B²Spice*. Simulasi dilakukan untuk mengetahui nilai VTC, *rise time*, *fall time*, dan *propagation delay*.

Microwind digunakan untuk penggambaran penyusun gerbang rangkaian dalam bentuk *stick diagram* dan *layout* dengan cara melakukan konversi dari susunan gerbang yang disusun di DSCH ke

bentuk susunan gambar *metal* dan merupakan bentuk akhir IC.

2.3 Proses Perancangan

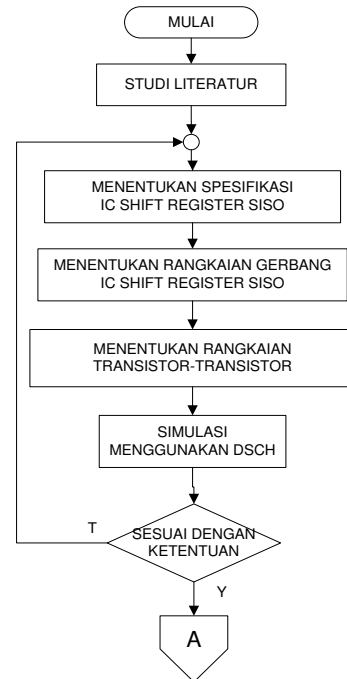
Untuk proses perancangan IC *Shift Register 8 bit SISO HCMOS*, ditentukan spesifikasi nilai parameter yang akan dirancang. Berdasarkan *datasheet SL74HC166* perancangan yang dilakukan mempunyai spesifikasi sebagai berikut, $V_{IH} = 1.5 \text{ V}$, $V_{IL} = 0.3 \text{ V}$, $V_{OH} = 1.9 \text{ V}$, $V_{OL} = 0.1 \text{ V}$ dan $t_{PD} = 140 \text{ ns}$ serta $f_{max} = 6 \text{ MHz}$.

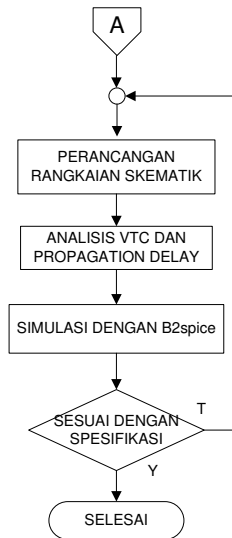
2.4 Proses Analisis

Proses analisis perancangan IC *Shift Register 8 bit Serial In Serial Out* adalah proses perhitungan yang telah ditentukan untuk mencapai *propagation delay* yang cepat serta perancangan perhitungan dengan menggunakan parameter perancangan. Proses analisis tersebut meliputi:

1. Penentuan spesifikasi logika penyusun terdiri atas 32 gerbang NAND 2 masukan dan 8 gerbang NOT 1 masukan.
2. Analisis nilai *Noise Margin* rangkaian dengan cara menganalisis karakteristik alih tegangan agar diperoleh V_{OH} , V_{IL} , V_{OL} , dan V_{IH} dengan menggunakan persamaan yang telah ditentukan dalam literature.
3. Analisis *propagation delay* dengan merancang nilai W dan L dalam transistor.

Gambar 4 menunjukkan diagram alir secara keseluruhan, mulai dari studi literatur sampai akhirnya penggambaran *mask layout* dengan menggunakan *software Microwind*.





Gambar 3 Diagram alir perancangan IC

III PERHITUNGAN DAN HASIL ANALISA

3.1 Perancangan Nilai W dan L Transistor HCMOS

Dalam perancangan dengan menggunakan *Microwind2* ($0,6\mu\text{m}$ CMOS process), $\lambda = 0,3\mu\text{m}$ maka nilai W dan L untuk gerbang-gerbang dasar adalah sebagai berikut:

$$W_p = 10\lambda = 3\mu\text{m}; L_p = 2\lambda = 0,6\mu\text{m}$$

$$W_n = 4\lambda = 1,2\mu\text{m}; L_n = 2\lambda = 0,6\mu\text{m}$$

Seperti yang telah diketahui keunggulan dari HCMOS adalah mengurangi *propagation delay* dan disipasi daya yang kecil. Salah satu konfigurasi yang dapat digunakan untuk mengurangi *propagation delay* adalah konfigurasi inverter yang dipasang secara kaskada (Geiger, 1990). Gambar 4 menjelaskan blok diagram rangkaian HCMOS dan kaskadanya. Sedangkan Gambar 5 menjelaskan pembagian gerbang dasar dan tiap kaskadanya.



Gambar 4 Blok diagram HCMOS dan kaskadanya

1. Persamaan gerbang dasar

$$W_{dk} = \alpha^{k-1}W_{dl}$$
 Dengan nilai $\alpha=3$, $k=n=1$, diperoleh

$$W_{dk} = 3^{1-1}W_{dl}$$
, sehingga

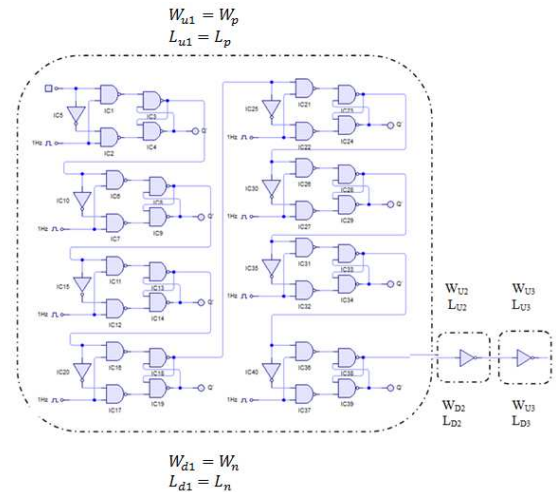
$$W_{dk} = W_{dl}$$
 (1)

$$W_{ul} = W_p$$

$$L_{ul} = L_p$$

$$W_{dl} = W_n$$

$$L_{dl} = L_n$$



Gambar 5 pembagian Gerbang Dasar dan Tiap Kaskadanya

2. Persamaan kaskada pertama
 Dengan nilai $\alpha=3$, $k=n=2$, diperoleh

$$W_{dk} = 3^{2-1}W_{dl}$$
 sehingga

$$W_{dk} = 3W_{dl}$$
 (2)

$$W_{u2} = W_{d2} = 3W_n$$

$$L_{u2} = L_{d2} = L_n$$

$$W_{d2} = 3W_{dl} = 3W_n$$

$$L_{d2} = L_{d1} = L_n$$

3. Persamaan kaskada kedua
 Dengan nilai $\alpha=3$, $k=n=2$, diperoleh

$$W_{dk} = 3^{3-1}W_{dl}$$
 sehingga

$$W_{dk} = 9W_{dl}$$
 (3)

$$W_{u3} = W_{d3} = 9W_n$$

$$L_{u3} = L_{d3} = L_n$$

$$W_{d3} = 9W_{dl} = 9W_n$$

$$L_{d3} = L_{d1} = L_n$$

Maka nilai W dan L untuk setiap kaskada, adalah:

1. Kaskada pertama

$$W_p = 3W_n = 3,6\mu\text{m}$$
 dan $L_p = L_n = 0,6\mu\text{m}$
2. Kaskada kedua

$$W_p = 9W_n = 10,8\mu\text{m}$$
 dan $L_p = L_n = 0,6\mu\text{m}$

3.2 Perhitungan Noise Margin

Noise margin atau batas derau menunjukkan ketebalan sebuah rangkaian logika terhadap *noise* atau gangguan.

3.2.1 Perhitungan V_{IL} dan V_{OH}

Nilai V_{IL} adalah nilai dari tegangan masukan (V_{in}) yang membuat tegangan menjadi tegangan keluaran (V_{OH}), nilai V_{IL} dihitung dengan menggunakan persamaan (4), dengan perbandingan nilai k_p dan k_n merupakan nilai k_R dan $V_{DD}=5V$, $V_{T,n}$

dan $V_{T,p}=-1V$, maka diperoleh fungsi V_{IL} sebagai fungsi V_{out} .

$$V_{IL} = \frac{2V_{out} + V_{T,p} - V_{DD} + k_R V_{T,n}}{1 + k_R} \quad (4)$$

$$V_{out} = V_{IL} + 2,5 \quad (5)$$

Untuk memperoleh nilai V_{out} maka substitusikan persamaan (5) dengan $V_{in}=V_{IL}$, $V_{T,n}=1V$ ke dalam persamaan (4).

$$\frac{k_n}{2}(V_{GS,n} - V_{T,n})^2 = \frac{k_p}{2}[2.(V_{GS,p} - V_{T,p}).V_{DS,p} - V_{DS,p}^2] \quad (6)$$

$$V_{IL} = 2,125 V$$

Maka,

$$V_{out} = V_{OH} = 4,625 V$$

3.2.2 Perhitungan Matematis V_{IH} dan V_{OL}

Nilai V_{IH} dihitung dengan menggunakan persamaan (7). Dalam perhitungan, perbandingan nilai k_n dan k_p merupakan nilai k_R dan $V_{DD}=5V$, $V_{T,n}=1V$ dan $V_{T,p}=-1V$, maka diperoleh fungsi V_{IH} sebagai fungsi V_{out} .

$$V_{IH} = \frac{V_{DD} + V_{T,p} + k_R(2V_{out} + V_{T,p})}{1 + k_R} \quad (7)$$

$$V_{out} = V_{IH} - 2,5 \quad (8)$$

Untuk memperoleh nilai V_{out} maka substitusikan persamaan (8) dengan $V_{in}=V_{IH}$, $V_{T,n}=1V$ ke dalam persamaan (9).

$$2(V_{IH} - 1)(V_{IH} - 2,5) - (V_{IH} - 2,5)^2 = (V_{IH} - 5 + 1)^2 \quad (9)$$

$$V_{IH} = 2,875 V$$

Maka,

$$V_{out} = V_{OL} = 0,375 V$$

Dari hasil V_{OH} , V_{IH} , V_{IL} dan V_{OL} didapatkan nilai *noise margine*

$$NM_H = V_{OH} - V_{IH} = 4,625 - 2,875 = 1,75 V$$

$$NM_L = V_{IL} - V_{OL} = 4,625 - 2,875 = 1,75 V$$

3.3 Perhitungan V_{Th}

Tegangan ini terjadi saat $V_{in} = V_{out} = V_{Th}$. Tegangan *tresshold* diperoleh dengan cara penggunaan persamaan (10), dengan mensubstitusikan nilai $k_R = 1$ dimana nilai perbandingan antara k_n dan k_p , $V_{DD} = 5V$, $V_{T,n} = 1V$ dan $V_{T,p} = -1$ ke dalam persamaan tersebut.

$$V_{Th} = \frac{V_{T,n} + \sqrt{\frac{1}{k_R}}(V_{DD} + V_{T,p})}{1 + \sqrt{\frac{1}{k_R}}} \quad (10)$$

$$V_{Th} = \frac{1 + \sqrt{1}(5-1)}{1 + \sqrt{1}}$$

$$V_{Th} = \frac{5}{2} = 2,5 V$$

3.4 Propagation Delay

Perhitungan ini bertujuan untuk menentukan nilai kapasitor tambahan yang akan digunakan. Dengan memasukkan nilai-nilai parameter yang telah ditentukan $C=10pF$, $\mu_p=580cm^2/V.s$, $C_{ox}=3,45 \times 10^{-13}F/cm$, $V_{DD}=5V$.

$$t_{PLH} = \frac{0,8C}{\frac{1}{2} \cdot \mu_p C_{ox} \left(\frac{W}{L}\right)_P \cdot V_{DD}} \quad (11)$$

$$t_{PLH} = 53nS$$

$$t_{PHL} = \frac{0,8C}{\frac{1}{2} \cdot \mu_N C_{ox} \left(\frac{W}{L}\right)_N \cdot V_{DD}} \quad (12)$$

$$t_{PHL} = 53nS$$

$$t_f, (t_{THL}) = 2 \times t_{PHL} \quad (13)$$

$$t_f, (t_{THL}) = 106nS$$

$$t_r, (t_{TLH}) = 2 \times t_{PLH} \quad (14)$$

$$t_r, (t_{TLH}) = 106nS$$

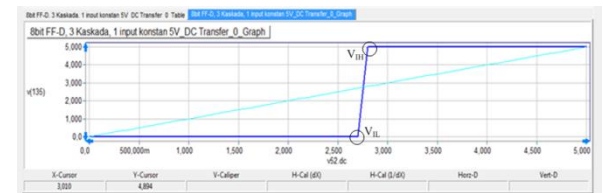
$$t_{PD} = \frac{t_{PHL} + t_{PLH}}{2} \quad (15)$$

$$t_{PD} = 53nS$$

3.5 Hasil Analisa

3.5.1 Simulasi Karakteristik Alih Tegangan (VTC) dan *Noise Margine*

Simulasi karakteristk alih tegangan (VTC) dengan memberikan tegangan 5V DC dan menggunakan $C=10pF$ serta $f=30MHz$



Gambar 6. Grafik VTC IC Shift Register 8bit Serial In Serial Out

Berdasarkan grafik tersebut dapat diperoleh nilai V_{IL} , V_{IH} , V_{OL} dan V_{OH} . Kondisi idealnya ketika nilai V_{OL} mendekati nilai tegangan *ground* yaitu 0V sedangkan nilai V_{OH} mendekati nilai tegangan V_{DD} yaitu 5V.

$$V_{IH} = 2,701 V$$

$$V_{OH} = 5 V$$

$$V_{IL} = 2,803 V$$

$$V_{OL} = 0 V$$

Maka diperoleh $NM_H = 2,299$ V untuk batasan logika tinggi, sedangkan $NM_L = 2,803$ V untuk batasan logika rendah.

3.5.2 Simulasi Unit Step

Simulasi *unit step* bertujuan untuk mendapatkan nilai *propagation delay*. Masukannya berupa gelombang pulsa (*step*). Nilai tersebut diperoleh dari sinyal output yang terdiri dari t_{PLH} , t_{PHL} , *rise time* (t_r) dan *fall time* (t_f). Dalam simulasi ini memiliki variasi kapasitor 10pF dan 15pF sedangkan frekuensinya 5MHz sampai 50MHz dengan kelipatan 5MHz.

Berikut hasil simulasi dengan menggunakan $C=10pF$ dan $f=30MHz$. Nilai *propagation delay* sebesar 3,5 ns dan disipasi daya 7,5 mW. Hasil simulasi unit step lainnya ditunjukkan dalam Lampiran.



Gambar 7. Grafik *unit step* $C=10pF$, $F=30MHz$

IV KESIMPULAN

5.1 Kesimpulan

Dari hasil penelitian perancangan *IC Shift Register 8bit Serial In Serial Out.*, diperoleh beberapa kesimpulan sebagai berikut:

1. Rangkaian *IC Shift Register 8bit Serial In Serial Out* tersusun atas gerbang Inverter dan gerbang NAND. Dimana saat pengujian menggunakan B²Spice gerbang-gerbang tersebut dirubah bentuk transistor-transistor tersusun atas PMOS dan NMOS.
2. Perancangan *IC Shift Register 8bit Serial In Serial Out* memiliki hasil nilai *propagation delay* sebesar 3,5 ns dan disipasi daya 7,5 mW.
3. Disipasi daya menjadi lebih besar saat pembebanan nilai kapasitor semakin besar, sedangkan frekuensi tidak mempengaruhi.

5.1. SARAN

Dari hasil penelitian, disarankan untuk dapatnya dilakukan dalam penelitian selanjutnya:

- 1 Mengurangi nilai kapasitor agar hasil simulasi menghasilkan keluaran yang lebih baik lagi.
- 2 Hasil perancangan ini dapat digunakan sebagai salah satu bahan referensi bagi perancangan rangkaian terintegrasi lainnya.

3 DAFTAR PUSTAKA

- [1]. Ahendyarti, C. 2012. *Perancangan IC Multiplexer 16 to 1 dengan Menggunakan Teknologi HCMOS*. Malang: Universitas Brawijaya
- [2]. Fairchild Semikonduktor. *ID Series Datasheet*. www.alldatasheet.com, diakses tanggal 1 Maret 2013.
- [3]. Geiger, Randall L., dkk. 1990. *VLSI Design Techniques For Analog and Digital Circuits*. Singapore: McGraw-Hill Book Co.
- [4]. Kang, Sung-Mo, Leblebici, Yusuf. 1996. *CMOS Digital Integrated Circuit : Analysis and Design Second Edition*. Singapore : McGraw-Hill Companies.
- [5]. Widjanarka, Wijaya. 2006. *Teknik Digital*. Indonesia: Erlangga.

Tabel 5.1 Data Hasil Simulasi

C	Parameter	Frekuensi (MHz)									
		5	10	15	20	25	30	35	40	45	50
10 pF	tplh (ns)	8	4	4	1	1	1	3	1	7	1
	tphl (ns)	3	7	4	7	3	6	4	7	3	7
	tr (ns)	23	11	13	6	5	4	8	5	20	4
	tf (ns)	9	20	12	22	9	18	12	22	9	22
	tPD (ns)	5,5	5,5	4	4	2	3,5	3,5	4	5	4
	PD (mW)	1,25	2,5	3,75	5	6,25	7,5	8,75	10	11,25	12,5
	PDP (pJ)	6,875	13,75	15	20	12,5	26,25	30,625	40	56,25	50
15 pF	tplh (ns)	1000	5	4	6	2	5	6	3	2	3
	tphl (ns)	1003	9	1	3	3	3	4	8	3	8
	tr (ns)	1008	14	12	19	10	14	19	7	10	7
	tf (ns)	1010	26	4	9	9	8	12	23	9	23
	tPD (ns)	1001,5	7	2,5	4,5	2,5	4	5	5,5	2,5	5,5
	PD (mW)	1,875	3,75	5,625	7,5	9,375	11,25	13,125	15	16,875	18,75
	PDP (pJ)	1877,8125	26,25	14,0625	33,75	23,4375	45	65,625	82,5	42,1875	103,125